

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Michio NEMOTO et al.

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: April 12, 2004

Examiner:

For: REVERSE BLOCKING SEMICONDUCTOR DEVICE AND A METHOD FOR
MANUFACTURING THE SAME

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2003-106734 April 10, 2003;

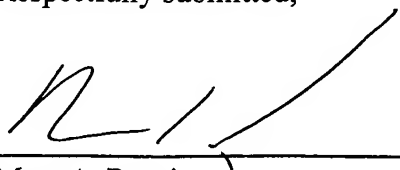
JAPAN 2003-396580 November 27, 2003;

JAPAN 2004-027175 February 3, 2004

In support of this claim, certified copies of said original foreign applications are filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

04/12/04
Date



Marc A. Rossi
Registration No. 31,923

Attorney Docket: FUJI:303

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 2月 3日

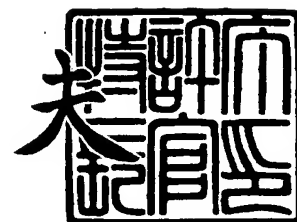
出願番号
Application Number: 特願2004-027175
[ST. 10/C]: [JP2004-027175]

出願人
Applicant(s): 富士電機ホールディングス株式会社

2004年 2月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3009984

【書類名】 特許願
【整理番号】 03P02263
【提出日】 平成16年 2月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 根本 道生
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 武井 学
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 内藤 達也
【特許出願人】
 【識別番号】 000005234
 【氏名又は名称】 富士電機ホールディングス株式会社
【代理人】
 【識別番号】 100088339
 【弁理士】
 【氏名又は名称】 篠部 正治
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-106734
 【出願日】 平成15年 4月10日
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-396580
 【出願日】 平成15年11月27日
【手数料の表示】
 【予納台帳番号】 013099
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9715182

【書類名】特許請求の範囲

【請求項 1】

第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とからなるMOSゲート構造と、前記第1導電型エミッタ領域と第2導電型ベース層とに接触するエミッタ電極と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層と該コレクタ層に接触するコレクタ電極を備えた逆阻止型半導体装置において、
前記エミッタ電極が前記第2導電型ベース層と接触する部分での外端と、前記第2導電型分離層の内端との距離Wが、前記第1導電型ドリフト層の深さ方向の厚さdよりも大きいことを特徴とする逆阻止型半導体装置。

【請求項 2】

前記第2導電型コレクタ層は減厚した前記第1導電型ドリフト層の裏面に形成されていることを特徴とする請求項1記載の逆阻止型半導体装置。

【請求項 3】

少なくとも前記第2導電型ベース層に欠陥が導入されていることを特徴とする請求項1記載の逆阻止型半導体装置。

【請求項 4】

前記逆阻止型半導体装置の少数キャリアのライフタイムが短くなるように該逆阻止型半導体装置全面に一樣に欠陥が導入されていることを特徴とする請求項1記載の逆阻止型半導体装置。

【請求項 5】

請求項4に記載の逆阻止型半導体装置を形成するのに、電子線照射エネルギーが5MeV以下、照射量が100kGy以下の電子線照射によって欠陥が導入されることを特徴とする逆阻止型半導体装置の製造方法。

【請求項 6】

請求項1に記載の第2導電型分離領域を形成するために、第2導電型を示す元素を選択的に導入する形成方法において、前記第1導電型ドリフト層の表面に形成する拡散マスクとなる酸化膜の膜厚 X_{ox} が、

【数 1】

$$X_{ox} > \sqrt{\frac{D_{ox}}{D_s}} X_s \quad \dots \text{式 (1)}$$

ただし D_{ox} : 半導体酸化膜中の前記元素の拡散係数

D_s : 半導体中の前記元素の拡散係数

X_s : 半導体中の前記元素の拡散深さ

の条件を満たす拡散マスクを用いて第2導電型を示す元素を選択的に導入することを特徴とする逆阻止型半導体装置の製造方法。

ース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とからなるMOSゲート構造と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、減厚した前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層とを備えた逆阻止型半導体装置において、電子線照射量を20kGy~60kGyとして少なくとも前記第2導電型ベース層に欠陥が導入されることを特徴とする逆阻止型半導体装置の製造方法。

【請求項8】

第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とからなるMOSゲート構造と、前記第1導電型エミッタ領域と第2導電型ベース層とに接触するエミッタ電極と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層と、該第2導電型コレクタ層に接触するコレクタ電極を備えた逆阻止型半導体装置において、

前記エミッタ電極と前記第2導電型分離領域の間の前記第1導電型ドリフト層に、第2導電型フィールドリミット層と該第2導電型フィールドリミット層に接触する浮遊電位のフィールドリミット電極を複数環状に設け、

エミッタ電極側のフィールドリミット電極は外側への延在部分が大きく、第2導電型分離領域側のフィールドリミット電極は内側への延在部分が大きく、かつエミッタ電極側のフィールドリミット電極及び第2導電型分離領域側のフィールドリミット電極がそれぞれ複数あることを特徴とする逆阻止型半導体装置。

【請求項9】

エミッタ電極側のフィールドリミット層及び第2導電型分離領域側のフィールドリミット層がそれぞれ複数あり、エミッタ電極側のフィールドリミット層間又は第2導電型分離領域側のフィールドリミット層間の少なくとも一部に第1導電型ドリフト層より高不純物濃度の第1導電型高濃度層を形成することを特徴とする請求項8に記載の逆阻止型半導体装置。

【請求項10】

前記第1導電型高濃度層の表面濃度が、 10^{17} cm^{-3} 以下であることを特徴とする請求項9に記載の逆阻止型半導体装置。

【請求項11】

エミッタ電極とコレクタ電極の電位が等しいときに前記フィールドリミット層から前記第1導電型ドリフト層に拡がるビルトイン空乏層幅を W_{bi} とし、隣り合うフィールドリミット層の間の距離 W_g が、 $2W_{bi}$ よりも大きいことを特徴とする請求項8に記載の逆阻止型半導体装置。

【請求項12】

第2導電型フィールドリミット層の拡散深さを X_j とし、エミッタ電極とコレクタ電極の電位が等しいときに前記フィールドリミット層から前記第1導電型ドリフト層に拡がるビルトイン空乏層幅を W_{bi} とし、隣り合うフィールドリミット層の間の絶縁膜の幅 W_g が、 $1.6X_j + 2W_{bi}$ よりも大きいことを特徴とする請求項8に記載の逆阻止型半導体装置。

【請求項13】

前記第1導電型ドリフト層の厚さ W_{drift} が、

【数 2】

$$\sum_{i=1}^n L_{Ni} \geq W_{drift} \quad \dots \text{式 (2)}$$

ただし $L_{Ni} = W_{Gi} - (1.6X_j + 2W_{hi})$

i : i 番目フィールドリミット層

W_{Gi} : $i-1$ から i 番目のフィールドリミット層間の絶縁膜の幅

n : フィールドリミット層の全個数

の条件を満たすことを特徴とする請求項 8 に記載の逆阻止型半導体装置。

【請求項 14】

隣り合うフィールドリミット電極の間の距離 L_{OP} の総和 ΣL_{OP} と前記 L_{Ni} の総和 ΣL_{Ni} との関係が、

$\Sigma L_{OP} / \Sigma L_{Ni} < 0.7$ であることを特徴とする請求項 13 に記載の逆阻止型半導体装置。

【請求項 15】

エミッタ電極側のフィールドリミット層及び第 2 導電型分離領域側のフィールドリミット層がそれぞれ複数あり、エミッタ電極側のフィールドリミット層と第 2 導電型分離領域側のフィールドリミット層との間に中間電界緩和領域を有することを特徴とする請求項 8 に記載の逆阻止型半導体装置。

【書類名】 明細書

【発明の名称】 逆阻止型半導体装置およびその製造方法

【技術分野】

【0001】

本発明は電力変換装置などに使用されるパワー半導体装置に関する。さらに詳しくはFZウェハを用いて製造される、双方向の耐圧特性を有する双方向IGBT又は逆阻止型IGBTと呼称されるIGBTデバイスに関する。

【背景技術】

【0002】

従来のプレーナ型pn接合構造を有するIGBT（絶縁ゲート型バイポーラトランジスタ）は、主要な用途であるインバータ回路やチョッパ回路では、直流電源下で使用されるので、順方向の耐圧さえ確保できれば問題はなく、素子設計の段階から逆方向耐圧確保を重要因子としての考慮をせずに作られていた。

しかし、最近、半導体電力変換装置において、AC（交流）／AC変換、AC／DC（直流）変換、DC／AC変換を行うために、直接リンク形変換回路等のマトリクスコンバータが適用されるようになってきた。そして、このマトリクスコンバータに双方向スイッチング素子を使用することによる、回路の小型化、軽量化、高効率化、高速応答化および低コスト化を図る研究がなされるようになった。このため、逆耐圧IGBTを逆並列接続して前記双方向スイッチング素子とするために、逆耐圧を持ったIGBTが要望されるようになった。

【0003】

図25はマトリクスコンバータの回路図であり、（a）は3相分のスイッチ部分を示す回路図であり、（b）は（a）の1スイッチを通常のIGBTを用いて構成した回路図であり、（c）は（a）の1スイッチを双方向の耐圧特性を有する双方向IGBTを用いて構成した回路図である。図25（b）において、従来のIGBTは、有効な逆阻止能力を確保できるような素子設計および製造方法がとられていないために、逆耐圧を確保するために、IGBT1a、1bに直列に順方向のダイオード2a、2bをそれぞれ接続して変換装置を構成する必要があった。このため、ダイオードを直列に含むので発生損失が大きくなり、変換装置の変換効率の低下を招き、また、素子点数が多くなり、変換装置の小型化、軽量化、低コスト化が困難であった。そこで、図25（c）に示すように逆阻止型IGBT1c、1dを用いると直列に接続するダイオードを不要とすることができる。

【0004】

図24は、逆阻止型IGBTの要部断面図であり、（a）は逆電圧を印加した場合の断面図であり、（b）は順電圧を印加した場合の断面図である。図24において、 n^- ドリフト層3となるn型FZウェハの表面および裏面から深い p^+ 型分離領域11を拡散で形成し、その後 n^- ドリフト層3の表面に選択的に p^+ ベース層4を複数形成し、その p^+ ベース層4の表面に選択的に n^+ エミッタ領域5を形成し、更にゲート酸化膜6、ゲート電極7及びエミッタ電極8等表面側のMOSゲート構造を形成する。このMOSゲート構造の形成後、逆阻止耐圧が600Vの場合、 n^- ドリフト層3を裏面から100 μ m程度に減厚し、減厚後裏面から p^+ コレクタ層9をイオン注入及びアニールによって形成する。このIGBTは、デバイス側面の切断部10が高濃度 p^+ 分離領域11で囲まれているので、逆電圧を印加した際にも空乏層12が p^+ コレクタ層9と p^+ 分離領域11におけるpn接合部近辺までしか拡がらず、デバイス側面の切断部10に現れることがなく、デバイス表面にのみ電界が発生する。従って十分な逆耐圧を得ることが可能である。（下記特許文献1～4、非特許文献1参照）なお、この p^+ 分離領域11がない通常のIGBTでは、エミッタをグラウンド電位としコレクタを負電位とする逆バイアスを加えると、 p^+ コレクタ層9の基板端部で電界が集中し、漏れ電流が増加することで、十分な逆耐圧が得られない。

【0005】

この図24のようなデバイスを図25(c)のように逆並列に接続すると、双方向の電流を制御でき、双方向の印加電圧にも耐えられる、双方向デバイスとして機能させることができる。双方向デバイスをAC-AC変換器に適用するとACからACに直接変換が可能になり、従来のコンバータ+コンデンサ+インバータから構成される変換回路に比べて装置のサイズが大幅に縮小でき、コストダウンが可能になる。また、双方向デバイスはIGBTおよび還流ダイオードとして機能させることができる。

特にフリーホイリングダイオード(FWD)動作時の逆回復時には、コレクタ側から伸びる空乏層によって蓄積過剰キャリアが掃き出されるため、コレクタ側のキャリア量が多いと逆回復ピーク電流が大きくなり、ハードリカバリーになる。逆阻止型IGBTをFWDとして使用するには、逆回復特性の改善が必須である。この逆回復改善を目的に、裏面コレクタ層を低濃度かつ低温活性にて形成する方法が知られている。(下記特許文献4参照) 図26は、IGBTの周辺耐压構造を示した断面図である。(下記特許文献5参照) 図26において、 n^- ドリフト層23の一方の面にMOSゲート構造となる p^+ ベース層24、耐压構造部分の p 型のフィールドリミット層25、 n 型のチャネルストップ層22が設けられている。 p^+ ベース層24にはエミッタ電極28が接触しており、フィールドリミット層25にはフィールドリミット電極27が接触しており、このフィールドリミット電極27はフィールドリミット層25間上の酸化膜26上に延在している。チャネルストップ層22にはエミッタ電極側へ延在するチャネルストップ電極21が接触している。そして、 n^- ドリフト層23の他方の面に p^+ コレクタ層29が設けられている。

【0006】

通常のIGBTやフリーホイリングダイオード(FWD)の周辺耐压構造は、コレクタ電極を正、エミッタ電極を負とする方向(順方向)のバイアスにおいて、耐压が高くなるように構成されている。耐压構造の具体的な構造としては、フィールドリミット層、フィールドリミット電極、フィールドリミット層とフィールドリミット電極の組み合わせ、SIP OS及びRESURF等が知られている。この中で、フィールドリミット層とフィールドリミット電極の組み合わせた構造が特許文献5に記載されており、この構造は長期信頼性が安定して得られるという特徴がある。即ち、特に湿中環境において、マイナスイオンが耐压構造表面の酸化膜表面に侵入した場合に、酸化膜下の半導体表面にプラスの電荷が誘起されることで電位分布の不均一な部分が生じ、耐压が低下するが、主接合(エミッタ電極に接触している p 層と n^- ドリフト層とのPN接合)近辺のフィールドリミット層間隔を狭く、かつフィールドリミット電極を長くしてフィールドリミット電極間の開口を狭め、酸化膜露出部を小さくしてマイナスイオンの侵入を抑制することがこの構造では容易にでき、前述のマイナスイオンの影響を受けずにすむからである。

しかしながら、フィールドリミット層25とフィールドリミット電極27の組み合わせ構造の場合、等電位線分布は、その間隔、深さ及び長さの配置関係の影響を敏感に受ける。各フィールドリミット層25の電位分担と電界強度を均一に分布させるため、一般には、エミッタ電極28側のフィールドリミット層25を狭くし、素子外周部に向かってフィールドリミット層25間の間隔を広く分布させている。特にエミッタ電極28側のフィールドリミット層25の間隔は、隣り合う p 層(主接合もしくはフィールドリミット層)での印加バイアス0Vでのビルトイン空乏層がつながるくらいである。そして、最外周のフィールドリミット層25とチャネルストップ層22の間は、チャネルストップ層22に空乏層が到達しないよう少数キャリアの拡散長程度の $162\mu\text{m}$ (1200V 素子の場合)としている。このため、 1200V の素子では、表面電荷の影響が少ない、安定な耐压構造を得るために耐压構造部分の長さが $708\mu\text{m}$ 程度に設定されている。

一方、抵抗性膜を用いて順・逆耐压双方を持たせる方法もある。これは、耐压構造部の酸化膜上に抵抗性の窒化膜等を形成することで、微小な電流を抵抗性の窒化膜に流し、電位分布を均等にして耐压を高めるものである。特に逆阻止IGBTでは、順方向と逆方向にこの方法を適用することができるのでフィールドリミット層やフィールドプレート電極が不要となり、耐压構造部の長さをフィールドリミット構造よりも短くできる。しかしながら、

長期信頼性試験の1種であるTHB (Thermal Humid Biased) 試験で逆耐圧の劣化が確認された。THB試験は、逆阻止IGBTモジュールを湿度85%、温度125℃の高温高湿中雰囲気で、逆バイアスを定格電圧の8割の値で印加し、長期の逆耐圧の変化を調べる試験である。この耐圧劣化は、上記窒化膜が抵抗性のため、前述の雰囲気で腐食が進み、その結果電位分布が均等でなくなり、電界の集中が生じて耐圧が劣化したものと考えられる。よって、このような長期信頼性にも十分安定な、逆阻止IGBTの耐圧構造を検討することが急務である。

【特許文献1】特開平7-307469号公報

【特許文献2】特開2001-185727号公報

【特許文献3】特開2002-76017号公報

【特許文献4】特開2002-353454号公報

【特許文献5】特開2000-208768号公報

【非特許文献1】エム・タケイ (M. Takei)、外2名、「600V-IGBTウイズ・リバース・ブロッキング・ケイパビリティ (with Reverse Blocking Capability)」、プロシーディングス・オブ・2001・インターナショナル・シンポジウム・オン・パワー・セミコンダクタ・デバイス・アンド・アイシズ・オオサカ (Proceedings of 2001 International Symposium on Power Semiconductor Devices & ICs, Osaka) 2001年、P. 413-416

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、ダイオード動作では、濃度の高い P^+ 分離領域からもホールが注入されるため、裏面コレクタ層を低注入化してもダイオード動作が改善されないことが分かった。このため、 P^+ 分離領域からのホールの注入を抑える構造が必要である。

一方、図24(a)のように逆バイアス(エミッタ側を正、コレクタ側を負)を印加したときの逆漏れ電流は、PNPトランジスタのオープンベーストランジスタ増幅率のうち、エミッタ側のエミッタ注入効率に依存する。このエミッタ注入効率は、 n^+ エミッタ領域5と n^+ エミッタ領域5との間で p^+ ベース層4がエミッタ電極と接触する表面層部分に形成される p^+ 層(図示せず)でほぼ決まる。この p^+ 層(図示せず)は、 n^+ エミッタ領域5より深く p^+ ベース層4より浅くかつ p^+ ベース層4より高濃度とする。この p^+ 層は、ラッチアップの防止を目的として、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の極めて高い濃度にて形成されるため、エミッタ注入効率は0.9以上と高い値を示す。従って、特に高温ではこの漏れ電流が 10 mA/cm^2 以上となり、通常の100倍以上の漏れ電流となってしまう。また、 p^+ ベース層4の下部に n^+ 層(プレーナ型の場合： p^+ ベース層4を覆う深さの n^+ 層、トレンチ型の場合： p^+ ベース層4と n^- ドリフト層3との間で、 n^- ドリフト層3よりも濃度の高い n^+ 層)を形成すると、上記エミッタ注入効率を低下できるが、プレーナ型の場合この n^+ 層のためにオフ時の電界強度減少分が大きく、耐圧が低くなってしまう。よって、より容易な手段で上記逆もれ電流を低減する必要がある。

また、 p^+ 分離領域の形成においては、従来の場合、分離領域形成時の拡散マスクとしての酸化膜厚さが十分でなく、 1250°C での高温拡散のとき、ボロンが酸化膜を突き抜け、酸化膜形成領域の下側にも p^+ 層が形成されてしまうことがあった。このため、正常なMOS構造が形成できずに、IGBTとしてオンしないチップができてしまうことがあった。更にまた、逆阻止耐圧を有するIGBTでは、電圧が順方向だけでなく、エミッタ電極を正、コレクタ電極を負とする逆方向バイアス時にも、高い耐圧を維持する必要があるので、この素子端部を取り囲み、表面と裏面をつなぐように P^+ 分離領域を形成して、逆方向耐圧をもたせている。しかしながら、前述のフィールドリミット層とフィールドリミット電極を組み合わせた構造をそのまま逆阻止IGBTに適用しても、順耐圧と同等の逆耐圧を得ることができないことが判明した。例えば、定格電圧1200Vの逆阻止IGBTに順バイアスと逆バイアスを印加して耐圧を測定したところ、順方向耐圧は1480Vで十分な耐圧であったのに対して、逆方向耐圧は1220Vで、定格電圧に対して余裕が少なかった。これは、逆バイアスでは空乏層が1200V程度で主接合にリーチスルーして、ホー

ルが空乏層に侵入し、バイアスに従い耐圧構造直下を通り漏れ電流が流れているためである。

【0008】

このように、逆バイアスでは、順耐圧よりも小さい値で、空乏層が耐圧構造部分で主接合とリーチスルーする。このため、逆耐圧が順耐圧より低いことが判った。この理由は2点ある。一つは、順バイアスでの空乏層の拡がりとは異なり、逆バイアスでは、裏面のコレクタ層のPN接合から表面に向かって縦方向に拡がる空乏層と、側面の分離領域から主接合に向かって横方向に拡がる空乏層の2種類があるためである。つまり、逆印加電圧が高くなると、双方の空乏層がピンチオフして、ドリフト層の空乏化に必要な電子の個数が電圧とともに少なくなる。そのために空乏層が拡がりやすくなり、結果として順耐圧よりも小さい電圧で上述のリーチスルーが生じる。この状態を示したのが、図27である。もう一つは、ゼロバイアスでの空乏層がつながっていることである。主接合側から複数本のフィールドドリミット層迄は、ゼロバイアスで既に空乏層がつながっている。そのため逆バイアスで裏面と分離層から空乏層が拡がる際、このゼロバイアスで既に空乏層がつながっているフィールドドリミット層まで到達すれば、主接合まで空乏層がリーチスルーしてしまう。

【0009】

このため、逆バイアスでも空乏層がエミッタ側の主接合にリーチスルーしないようにし、安定した長期信頼性を持つ構造を実現する必要がある。

本発明は、上記課題を克服し、逆バイアスでも空乏層がエミッタ側主接合にリーチスルーしないようにし、しかも安定した長期信頼性をもつ逆阻止IGBTの耐圧構造の実現を目的とする。

本発明は、これらの問題点を鑑みてなされたものであり、その目的は、分離領域の逆回復ピーク電流への影響をなくし、十分ソフトなリカバリーを示す耐圧構造にすることができ、逆阻止型IGBTの本質的である、逆漏れ電流の増加を抑え、しかもオン電圧も十分小さい値に抑えることが可能な逆阻止型半導体装置を提供することである。

【課題を解決するための手段】

【0010】

このため、本発明は、第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とからなるMOSゲート構造と、前記第1導電型エミッタ領域と第2導電型ベース層とに接触するエミッタ電極と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層と該コレクタ層に接触するコレクタ電極を備えた逆阻止型半導体装置において、前記エミッタ電極が前記第2導電型ベース層と接触する部分での外端と、前記第2導電型分離層の内端との距離Wが、前記第1導電型ドリフト層の深さ方向の厚さdよりも大きいこととする。

【0011】

また、前記第2導電型コレクタ層は減厚した前記第1導電型ドリフト層の裏面に形成されているとよい。

また、少なくとも前記第2導電型ベース層に欠陥が導入されているとよい。

また、前記逆阻止型半導体装置の少数キャリアのライフタイムが短くなるように該逆阻止型半導体装置全面に一様に欠陥が導入されているとよい。

図1は、逆阻止型半導体装置を形成するための電子線照射エネルギーが50keV以下、照射量

また、第2導電型分離領域を形成するために、第2導電型を示す元素を選択的に導入する形成方法において、前記第1導電型ドリフト層の表面に形成する拡散マスクとなる酸化膜の膜厚 X_{ox} が、

【0012】

【数1】

$$X_{ox} > \sqrt{\frac{D_{ox}}{D_s}} X_s \quad \cdots \text{式 (1)}$$

ただし D_{ox} : 半導体酸化膜中の前記元素の拡散係数

D_s : 半導体中の前記元素の拡散係数

X_s : 半導体中の前記元素の拡散深さ

【0013】

の条件を満たす拡散マスクを用いて第2導電型を示す元素を選択的に導入することとする。

一般に、コレクタ側からホールが注入されるとき、ホールは距離の短いところを流れようとする。そのため分離領域とエミッタ電極の表面コンタクト領域、即ち所謂活性部までの耐圧領域の距離が n^- ドリフト層の厚さより長いと、ホールは分離領域からよりも、活性部の真下に位置するコレクタ層から注入されて表側エミッタ電極にかけての部分が流れやすくなる。よって、相対的に分離領域から活性部へのホール注入は少なくなる。さらに、分離領域と活性部との距離が、少数キャリア（この場合ホール）のアンビポーラ拡散長よりも長くなれば、分離領域から注入されたホールの濃度は、表エミッタ層に向かって十分減衰するので、分離領域からの注入は無視できるようになる。

【0014】

一方、欠陥を導入するとライフタイムが減少するため、少なくとも p^+ ベース層4に欠陥を導入すると表側のエミッタ注入効率を減少させることができる。ただし、表側に局所的に欠陥を導入すると、損失トレードオフを悪化させてしまうので、むしろデバイス全面の深さ方向に広くかつ一様に欠陥を導入するとよく、その場合電子線照射にするとよい。更に、もともと裏面コレクタ層を低注入化しているため、電子線照射量が多すぎるか、加速電圧が高すぎるとダメージが多くライフタイムが小さくなりすぎて、オン電圧が増加する。よって照射時の加速電圧が5MeV以下で照射量が100kGy以下ならば、オン電圧の増加を最小に抑えて逆漏れ電流を抑制できる。電子線照射量は、好ましくは20kGy～60kGyとする。また、第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とからなるMOSゲート構造と、前記第1導電型エミッタ領域と第2導電型ベース層とに接触するエミッタ電極と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層と、該第2導電型コレクタ層に接触するコレクタ電極を備えた逆阻止型半導体装置において、前記エミッタ電極と前記第2導電型分離領域の間の前記第1導電型ドリフト層に、第2導電型フィールドリミット層と該第2導電型フィールドリミット層に接

ト電極は内側への延在部分が大きく、かつエミッタ電極側のフィールドリミット電極及び第2導電型分離領域側のフィールドリミット電極がそれぞれ複数あることとする。また、エミッタ電極側のフィールドリミット層及び第2導電型分離領域側のフィールドリミット層がそれぞれ複数あり、エミッタ電極側のフィールドリミット層間又は第2導電型分離領域側のフィールドリミット層間の少なくとも一部に第1導電型ドリフト層より高不純物濃度の第1導電型高濃度層を形成することとする。この第1導電型高濃度層の表面濃度が、 10^{17} cm^{-3} 以下であるとする。また、エミッタ電極とコレクタ電極の電位が等しいときに前記フィールドリミット層から前記第1導電型ドリフト層に広がるビルトイン空乏層幅を W_{bi} とし、隣り合うフィールドリミット層の間の距離 W_g が、 $2W_{bi}$ よりも大きいこととする。また、第2導電型フィールドリミット層の拡散深さを X_j とし、エミッタ電極とコレクタ電極の電位が等しいときに前記フィールドリミット層から前記第1導電型ドリフト層に広がるビルトイン空乏層幅を W_{bi} とし、隣り合うフィールドリミット層の間の絶縁膜の幅 W_g が、 $1.6X_j + 2W_{bi}$ よりも大きいこととする。また、前記第1導電型ドリフト層の厚さ W_{drift} が、

【0015】

【数2】

$$\sum_{i=1}^n L_{Ni} \geq W_{drift} \quad \cdots \text{式 (2)}$$

ただし $L_{Ni} = W_{Gi} - (1.6X_j + 2W_{bi})$

i : i 番目フィールドリミット層

W_{Gi} : $i-1$ から i 番目のフィールドリミット層間の絶縁膜の幅

n : フィールドリミット層の全個数

【0016】

の条件を満たすこととする。また、隣り合うフィールドリミット電極とフィールドリミット層の間の距離 L_{OP} の総和 ΣL_{OP} と前記 L_{Ni} の総和 ΣL_{Ni} との関係が、 $\Sigma L_{OP} / \Sigma L_{Ni} < 0.7$ であることとする。また、エミッタ電極側のフィールドリミット層及び第2導電型分離領域側のフィールドリミット層がそれぞれ複数あり、エミッタ電極側のフィールドリミット層と第2導電型分離領域側のフィールドリミット層との間に中間電界緩和領域を有することとする。

【発明の効果】

【0017】

本発明により、分離領域の逆回復ピーク電流への影響をなくし、十分ソフトなりカバリ－を示す耐压構造にすることができ、逆阻止型IGBTの本質的である、逆漏れ電流の増加を抑え、しかもオン電圧も十分小さい値で抑えることが可能となる効果を奏する。よって、低損失であるだけでなく、より扱いやすいマトリックスコンバータの作成が可能となる逆阻止型半導体装置を提供できる効果を奏する。

【発明を実施するための最良の形態】

【0018】

図1は本発明の実施例の逆阻止型IGBTの分離領域と活性部との距離 W と n^- 型ドリフト層の深さ方向の厚さ d との関係を示す要部断面図であり、図2は600V耐压の逆阻止型IGBTに実施したときの、分離領域と活性部との距離 W と、ダイオード動作時の逆回復電流との関係を示す特性図である。図1において、横軸は分離領域と活性部との距離 W と、 n^-

いる表面部分での最も外端の位置と、 p^+ 分離領域 11 と n^- ドリフト層 3 との表面における境界位置との間の距離であり、図 1 に W として示している。縦軸は、逆回復時のピーク電流を、 W/d が 4、さらに W がアンビポーラ拡散長 La の 2 倍のときの値で規格化している。ここで、逆回復時の印加電圧 V_{cc} は 100 V とした。

ここで、IGBT の構造は、次の通りである。厚さ $525\mu\text{m}$ で不純物濃度が $1.5 \times 10^{14}\text{cm}^{-3}$ の FZ ウェハの n^- ドリフト層 3 の表面に、厚さ $1.6\mu\text{m}$ の初期酸化膜を形成し、デバイス周辺部の幅 $100\mu\text{m}$ の領域を選択的にエッチングし、表面にボロンソースを塗布して熱処理することで、ボロンのデポジションを行う。ボロンガラスエッチングを行い酸化膜中のボロンを除去した後、 1200°C 以上の温度において酸素雰囲気中で深さ $120\mu\text{m}$ までボロンを拡散して p^+ 分離領域 11 を形成する。 p^+ ベース層 4、 n^+ エミッタ領域 5、ゲート酸化膜 6、ゲート電極 7 およびエミッタ電極 8 等通常の IGBT における MOS ゲート構造を表面側に形成する。その後裏面を削り、ウェハ厚を $100\mu\text{m}$ にする (IGBT の耐圧が 1200 V 程度の場合は $180\mu\text{m}$ 程度の厚さとする)。その後裏面に $1 \times 10^{13}\text{cm}^{-2}$ のボロンをイオン注入して 350°C で 1 時間のアニールを行い、ピーク濃度が $1 \times 10^{17}\text{cm}^{-3}$ で厚さが $1\mu\text{m}$ 程度の p^+ コレクタ層 9 を形成する。最後にコレクタ電極を形成して逆阻止型 IGBT が製造される。また裏面ボロンイオン注入後に、 $500\text{mJ} \sim 4\text{J}/\text{cm}^2$ の全固体 (YAG 2 ω) レーザを照射して裏面コレクタ層を活性化することも可能である。本実施例の構造では、 W は $80\mu\text{m} \sim 400\mu\text{m}$ とした。

【0019】

W/d が 1 以下、つまり活性部から分離領域までの距離が n^- ドリフト層 3 厚さ d よりも小さくなると、急激に逆回復ピーク電流が増加する。分離領域迄の距離が短くなると、分離領域からのホールの注入が相対的に裏面コレクタ層からの注入よりも多くなる。これは、裏面 p^+ コレクタ層 9 よりも 2 桁以上分離領域の方のアクセプタ濃度が高く、かつ分離領域から表エミッタ電極までの距離の方がドリフト厚よりも短くなるため、ホールを分離領域から注入する方が低抵抗となるからである。よって IGBT がオンしているときのキャリア分布では、裏面側の濃度が相対的に増加する。それが反映して、逆回復時にピーク電流の増加となる。

さらに、ライフタイム低減をしない、いわゆるノンキラーの場合に比べて、ライフタイム低減をする場合はさらに逆回復ピーク電流は低くなる。図 2 において、ノンキラーの場合のアンビポーラ拡散長は $La1=194\mu\text{m}$ 、電子線を 4Mrad ($=40\text{kGy}$) 照射したときのアンビポーラ拡散長は $La2=82\mu\text{m}$ となる。 n^- ドリフト層厚 d はほぼ $100\mu\text{m}$ である。電子線を照射する方が、さらに逆回復電流は減少している。

【実施例 1】

【0020】

図 3 は、逆漏れ電流 R_{ICES} の電子線照射量依存性を示した図である。逆漏れ電流は、順方向の通常 IGBT の漏れ電流よりも大きい。これは、一つはエミッタ電極と接触する p^+ 層が高濃度なため、もう一つは裏面コレクタ層の低温活性時の残留欠陥 (ダメージ) のためである。図 4 は、上述の 600V 逆阻止型 IGBT に、逆バイアスを 800V 印加したときの等電位線の分布である。0V 線は表面から約 $30\mu\text{m}$ のところに分布し、それより表側は空乏化していない電荷の中性領域である。従来の技術の項でも説明したように p^+ 層は、ラッチアップ防止のため、通常 $1 \times 10^{19}\text{atoms}/\text{cm}^3$ 以上の濃度で形成される。 R_{ICES} は、以下のように記述できる。

【0021】

【数 3】

$$R_{ICES} = \beta(I_{gen_n} + I_{gen_p}) + I_{diff} \quad \cdots \text{式 (3)}$$

【0022】

I_{diff} はドリフト層及びアナード層での生成電流である。 I_{gen_n} は

3) からエミッタ増幅率 β は、

【0023】

【数4】

$$\beta = \frac{1}{1 - \gamma \alpha_T} \cong \frac{1}{1 - \alpha_T} \cong \frac{2D_h \tau_p}{W_D^2} \quad \dots \text{式 (4)}$$

【0024】

となる。ここで、算出には2次の近似を用いた。逆バイアストランジスタではエミッタ注入効率 γ が、ほぼ1に近い。 τ_p は少数キャリアのライフタイムであり、 D_h はドリフト層におけるホールの拡散係数である。 W_D はドリフト層での中性領域幅 (図4では約30 μm) である。よって、 I_{gen_n} は次式 (5) のようになる。

【0025】

【数5】

$$I_{gen_n} = \frac{qn_i AW}{2\tau_{sc}} \quad \dots \text{式 (5)}$$

【0026】

A は活性部面積、W は空乏層幅、 τ_{sc} 空間電荷領域の生成ライフタイムである。電子線照射による支配的な捕獲準位はギャップ中心からは十分浅く、 t_p は τ_{sc} に対して十分短い。よって RI_{CES} は電子線照射により小さくできる。

図3の横軸は、電子線照射量 (Mrad、1Mrad=10kGy)、縦軸は逆漏れ電流 RI_{CES} である。裏面 p^+ コレクタ層を熱活性 (350℃で1時間) させた場合の、ゲートが無バイアス (G-E ショート) (RI_{CES})、ゲートGE間に+15V印加時 (RI_{CE+})、さらに裏面 p^+ コレクタ層をレーザ活性化した時のゲート+15V印加時 (RI_{CE+} (Laser)) について、プロットしている。この図から、逆漏れ電流は、ゲートをエミッタとショートするほうが、+15V印加する場合よりも高いことがわかる。これは、GE間に+15V (閾値7.5V) 印加して反転層を形成し、 n^+ エミッタ層と n^- ドリフト層をショートすることで、PiNダイオード構造を並列に構成することになり、表面のホール注入効率が減るからである。しかしながら、実機コンバータ動作上、ゲートを無バイアスの状態でも逆漏れ電流を小さくすることが望ましい。図3より、電子線照射をすると、GE間無バイアスでの逆漏れ電流が減少し、10Mrad (=100kGy) でGE間+15Vの場合とほぼ同じとなることが分かる。これは、上述のPNPトランジスタ部の増幅率を低減した効果を示すものである。さらに、レーザ照射により裏面 p^+ コレクタ層近傍を完全再結晶化させると、さらに1/3以下に逆漏れ電流を抑えることができてい。これも、上述の、 p^+ 層による発生電流を抑えた効果である。一方、IGBTのオン電圧は、EI未照射が2.0Vであり、10Mradで2.2Vであり、20Mradで2.8Vとなり、10Mradまではオン電圧の増加を10%以下で抑えている。

【0027】

次に、高濃度の p^+ 分離領域を選択的に形成するためのマスクとなる SiO_2 酸化膜厚について述べる。上述のように、プロセス初期に酸化膜を形成し、 p^+ 分離領域を形成する部分を選択的にエッチングする。このとき必要な酸化膜厚は、次式 (6) のように求めることができる。拡散源存在下における不純物濃度分布は

【0028】

【数6】

$$N_{Si}(x_{Si}, t) = N_0 \operatorname{erfc}\left(\frac{x_{Si}}{2\sqrt{D_{Si}t}}\right) \quad \dots \text{式 (6)}$$

【0029】

で与えられる。Nは不純物濃度、 N_0 は表面不純物濃度、 x_{Si} は(シリコン中の)表面からの距離、 D_{Si} はシリコン中のボロンの拡散係数、 t は拡散時間である。拡散係数 D_{Si} は

【0030】

【数7】

$$D_{Si} = D_{\infty} \exp\left(-\frac{E_a}{kT}\right) \quad \dots \text{式 (7)}$$

【0031】

であり、 D_{∞} は定数、 E_a は活性化エネルギー、 k はボルツマン定数、 T は絶対温度である。 E_a は約3.7eVである。また1300°Cにおける拡散係数は $1.0 \times 10^{-11} \text{ cm}^2/\text{s}$ である。600Vクラスの逆阻止型IGBTでは120 μm の拡散深さが必要である。実際の拡散では、表面不純物濃度が $1.2 \times 10^{19} \text{ cm}^{-3}$ 、拡散温度1300°C、拡散時間83時間で、拡散深さ120 μm が得られた。式(6)において不純物濃度 N がn型ウエハドーピング濃度($=1.5 \times 10^{14} \text{ cm}^{-3}$)に等しいとすると(すなわちpn接合部)、 N/N_0 が 1.25×10^{-5} であり、図5の相補誤差関数(erfc)の図を用いて、 $x_{Si}=104 \mu\text{m}$ が得られる。これは実験とおよそ一致している。熱酸化膜中におけるボロン拡散も同様に

【0032】

【数8】

$$N_{ox}(x_{ox}, t) = N_0 \operatorname{erfc}\left(\frac{x_{ox}}{2\sqrt{D_{ox}t}}\right) \quad \dots \text{式 (8)}$$

【0033】

で表される。 x_{ox} は酸化膜表面からの距離、 D_{ox} は酸化膜中のボロンの拡散係数である。酸化膜中のボロン活性化エネルギーは約3.5eVである。1300°Cにおける拡散係数は $1.29 \times 10^{-15} \text{ cm}^2/\text{s}$ である。1.6 μm の熱酸化膜をボロンが突き抜ける条件を計算してみる。式(8)において $x_{ox}=1.6 \mu\text{m}$ として N がn型ウエハドーピング濃度($=1.5 \times 10^{14} \text{ cm}^{-3}$)に等しいとすると、図3を用いて $t=153$ 時間である。つまり150時間程度までは、1.6 μm 厚酸化膜でマスキング可能であるといえる。実際はSi/SiO₂界面において、シリコン側の拡散係数が大きいために酸化膜側からシリコン側に向けてボロン吸い出しが起これ、シリコン表面のボロン濃度はさらに減少する。プロセスシミュレーションによると、式(5)から得られる値よりも、濃度が一桁ほど減少する。つまり式(8)はより安全側の見積もりである。シリコンに $t=153$ 時間のボロン拡散を行った場合、式(3)より拡散深さは $x_{Si}=141 \mu\text{m}$ である。すなわち1.6 μm の厚さの酸化膜をマスクとした場合、選択拡散可能な最大深さは141 μm である。一般化して、拡散時間 t_d において厚さ x_{ox} の酸化膜の突き抜けが発生したとすると、式(8)より

【0034】

【数 9】

$$N_{ox}(X_{ox}, t_d) = N_D = N_0 \operatorname{erfc}\left(\frac{X_{ox}}{2\sqrt{D_{ox}t_d}}\right) \quad \cdots \text{式 (9)}$$

【0035】

である。 N_D はn型シリコンドーピング濃度である。このときシリコン中で X_{Si} の拡散深さが得られたとすると、式(6)より

【0036】

【数 10】

$$N_{Si}(X_{Si}, t_d) = N_D = N_0 \operatorname{erfc}\left(\frac{X_{Si}}{2\sqrt{D_{Si}t_d}}\right) \quad \cdots \text{式 (10)}$$

【0037】

である。式(6)と式(7)より

【0038】

【数 11】

$$N_0 \operatorname{erfc}\left(\frac{X_{Si}}{2\sqrt{D_{Si}t_d}}\right) = N_0 \operatorname{erfc}\left(\frac{X_{ox}}{2\sqrt{D_{ox}t_d}}\right) \quad \cdots \text{式 (11)}$$

【0039】

となり、従って、

【0040】

【数 12】

$$\frac{X_{Si}}{X_{ox}} = \sqrt{\frac{D_{Si}}{D_{ox}}} \approx 88 \quad (\text{at } 1300^\circ\text{C}) \quad \cdots \text{式 (12)}$$

【0041】

である。シリコン中の最大拡散深さは、マスク酸化膜厚が一定であれば、シリコン中および酸化膜中のボロン拡散係数比の平方根で決まる。表面濃度や拡散時間等のパラメータには一切依存しない。またボロン拡散の活性化エネルギーは、シリコン中と酸化膜中でほとんど同じであり(約3.5eV)、式(4)より温度を変えても拡散係数比はほとんど変化しない。以上の解析より、マスク酸化膜厚が決まれば、シリコン中の最大拡散深さは一義的に決まる。600V逆阻止型IGBTにおいては必要拡散深さは $120\mu\text{m}$ であり、式(12)より最低必要な酸化膜厚は $1.36\mu\text{m}$ である。一方1200V逆阻止型IGBTにおいては必要拡散深さが $200\mu\text{m}$ であり、最低必要な酸化膜厚は $2.27\mu\text{m}$ である。

これまでの解析は拡散源存在下における拡散を考えてきたが、デポジション後に拡散源を取り除いた場合、すなわちドライブインの場合はどうであろうか。この場合の酸化膜中ボロン濃度分布は次式のようになる。

【0042】

【数 1 3】

$$N_{ox}'(x_{ox}, t) = \frac{Q_{ox}}{\sqrt{\pi D_{ox}(t)}} \exp\left(-\frac{x_{ox}^2}{4D_{ox}(t)}\right) \quad \cdots \text{式 (1 3)}$$

【0 0 4 3】

Q_{ox} は酸化膜中の総不純物量であり、デポ時間を t_p とすると式(6)より

【0 0 4 4】

【数 1 4】

$$Q_{ox} = \int_0^\infty N(x_{ox}, t_p) dx = \frac{2}{\sqrt{\pi}} N_0 \sqrt{D_{ox} t_p} \quad \cdots \text{式 (1 4)}$$

【0 0 4 5】

である。式(14)を式(13)に代入すると

【0 0 4 6】

【数 1 5】

$$N_{ox}'(x_{ox}, t) = \frac{2N_0}{\pi} \sqrt{\frac{t_p}{t}} \exp\left(-\frac{x_{ox}^2}{4D_{ox}t}\right) \quad \cdots \text{式 (1 5)}$$

【0 0 4 7】

シリコン中の拡散に関しても同様に

【0 0 4 8】

【数 1 6】

$$N_{Si}'(x_{Si}, t) = \frac{2N_0}{\pi} \sqrt{\frac{t_p}{t}} \exp\left(-\frac{x_{Si}^2}{4D_{Si}t}\right) \quad \cdots \text{式 (1 6)}$$

【0 0 4 9】

である。拡散時間 t_d において厚さ X_{ox} の酸化膜の突き抜けが発生し、同時にシリコン中で X_{Si} の拡散深さが得られたとすると

【0 0 5 0】

【数 1 7】

$$N_{Si}'(X_{Si}, t_d) = N_{ox}'(X_{ox}, t_d) \quad \cdots \text{式 (1 7)}$$

【0 0 5 1】

であり、式(15)及び式(16)から式(12)と全く同じ結果が得られ、最大拡散深さはマスク酸化膜厚で決まる。

図6は、本発明での逆阻止型IGBTの逆回復の動作を示す特性図である。

【実施例2】

【0 0 5 2】

図7、図8は、異なる実施例であり、図7は電子線照射量と逆漏れ電流との関係を示した図、図8は電子線照射量とオン電圧との関係を示した図である。この実施例は、裏面に

$1 \times 10^{17} \text{ cm}^{-3}$ で厚さが $1 \mu\text{m}$ 程度の p^+ コレクタ層 9 を形成したものである。

図 7 において、横軸は電子線照射量 (Mrad、 $1 \text{ Mrad} = 10 \text{ kGy}$)、縦軸は逆漏れ電流 $R I c e s$ である。FZ ウェハの裏面を削る前に、素子の高速化を図るために電子線照射やヘリウム照射を行うが、電子線照射により逆漏れ電流の低減も図られる。即ち電子線は、バルクに対して一様に欠陥を生成するため逆バイアス時の輸送効率を大幅に下げることができ、それにより電流増幅率が下がる。図 7 は、印加電圧 600 V (耐圧 600 V 素子)、 125°C での逆漏れ電流の電子線照射量依存性であるが、電子線照射量を高くすればするほど、逆漏れ電流が低くなっていることが判る。 2 Mrad を照射すると急激に逆漏れ電流が低減しているので、電子線照射量は 2 Mrad 以上とするのがよい。しかしながら、電子線を照射すると、バルクに欠陥が生成され、オン電圧が高くなる。オン電圧はデバイスの重要な特性の 1 つであり、出来る限り低い方がよい。図 8 は、横軸が電子線照射量 (Mrad、 $1 \text{ Mrad} = 10 \text{ kGy}$)、縦軸がオン電圧である。電子線照射量を高くするとオン電圧は高くなっている。電子線照射量を 6 Mrad 以上にすると、急激にオン電圧が上昇している。オン電圧を低くするには、電子線照射量を 6 Mrad 以下にするのがよい。

【実施例 3】

【0053】

図 9、図 10 は、本発明の第 3 の実施例である。図 9 は耐圧構造部分の斜視図であり、図 10 は耐圧構造部分の断面図で、図 10 (a) は耐圧構造部分全体を示す断面図であり、(b) ~ (d) は (a) に点線で示す Y 部分の異なる例を示す部分断面図である。比抵抗 $80 \Omega\text{cm}$ の N 型 FZ ウェハ 34 の表面に、 $2.4 \mu\text{m}$ の熱酸化膜を形成し、チップとして分割するためのスクライブ部のみの熱酸化膜を除去開口して、ボロンガラスを塗布し除去した後、 1300°C で 250 時間のドライブインをする。こうしてスクライブ部に、 P^+ 型分離領域 31 が形成される。その後熱酸化膜を形成し、熱酸化膜を選択的にエッチングしてフィールドリミット層 25 の部分を開口する。そして、ボロンを $2 \times 10^{15} / \text{cm}^2$ 、 100 keV でイオン注入し、 1150°C で 200 分のドライブインをする。続いて活性部の熱酸化膜を開口し、 65 nm のケート酸化膜を形成し、その上に多結晶シリコン膜を成長させ、エッチングを行いケート電極を形成する。このとき耐圧構造部分の多結晶シリコンは除去する。続いて P^+ ベース層 24 用にボロンを $2 \times 10^{14} / \text{cm}^2$ 、 100 keV でイオン注入し、 1150°C で 120 分のドライブインを行い、その後レジストを選択形成して砒素を $2 \times 10^{15} / \text{cm}^2$ 、 45 keV でイオン注入する。層間絶縁膜となる BPSG 膜を成長させ、活性部とフィールドリミット層 25 の部分を開口する。Al-1%Si を成膜し、活性部にエミッタ電極 28 とケート電極 7、さらに耐圧構造部のフィールドリミット電極 27 を形成する。その後窒化膜またはポリイミドを被着・エッチングし、ウェハが $200 \mu\text{m}$ までなるように裏面をバックグラインドで研削する。この段階で、前述の P^+ 分離領域 31 は裏面に露出し、表面と裏面をつなぐようになる。更に弗硝酸で裏面のみ $20 \mu\text{m}$ エッチングすることで、より裏面を滑らかにする。このときウェハ厚は $180 \mu\text{m}$ である。その後 Al/Ti/Ni/Au を順に蒸着し、スクライブ部をダイシングして逆阻止 IGBT チップを形成する。この P^+ 型分離領域 31 は、逆阻止 IGBT に逆バイアス、すなわちエミッタ電極 28 がコレクタ電極 35 よりも高いバイアスのとき、裏面の P^+ コレクタ層 29 と N-ドリフト層である FZ ウェハ 34 から広がる空乏層が、チップ端面に露出しないようにするものである。表面には、エミッタ電極 28 と P^+ 分離領域 31 の間に、耐圧構造が形成されている。エミッタ電極 28 の隣に、P 型のフィールドリミット層 25 が形成され、フィールドリミット電極 27 a が接触している。このフィールドリミット電極 27 a は、フィールドリミット層 25 を越えて P^+ 分離領域側に延在する (外周側に向って広がる) よう広く形成されている。このようなフィールドリミット層 25 とフィールドリミット電極 27 a が、数個 P^+ 分離領域 31 側に向かって形成されている。耐圧構造の中間領域にある中間電界緩和領域 33 を境として、フィールドリミット電極の延在方向がエミッタ電極の反対側と P^+ 分離領域 31 側で反転して形成されている。即ち、中間電界緩和領域 33 か

ドリミット電極27bが、フィールドドリミット層25を越えてエミッタ電極28側に延在する(内周側に向って広がる)よう広く形成されている。このようなフィールドドリミット層25とフィールドドリミット電極27bが、数個エミッタ電極28側に向かつて形成されている。つまり、空乏層がエミッタ電極側から外側に向って広がる時を考えると、フィールドドリミット電極27aは外側に向って延びているので、空乏層を広げる働きをするが、フィールドドリミット電極27bは内側に向って延びているので、空乏層を広げる働きから広がるのを抑制する働きに一気に変わってしまう。このため、最も内側のフィールドドリミット電極27bの先端で電界の集中が起きアバランシェに至る。この電界の集中を防ぐために、延びる方向が反転するフィールドドリミット電極側へも電界の集中を起こすことなくスムーズに空乏層が広がるようにするために電界緩和を中間電界緩和領域33で行っている。(b)は中間電界緩和領域33上に、フィールドドリミット電極27と同じ膜を設けない例である。(c)は中間電界緩和領域33をフィールドドリミット層25a、25aに置き換え、それぞれの上から延びるフィールドドリミット電極を連結して27dとした例である。(d)は中間電界緩和領域33の幅を広くしてその上に両側から延びるフィールドドリミット電極27e、27eを設けた例である。また、 P^+ 分離領域31と接する最外周のフィールドドリミット電極は順耐压の場合には一般的なIGBTの最外周のチャンネルストップ電極と同等の構成となるので、便宜上、チャンネルストップ電極21と呼ぶこととする。

図11は、順バイアスと逆バイアスでの空乏層の伸び方を示す耐压構造部分の断面図であり、(a)は順バイアス時の断面図、(b)は逆バイアス時の断面図である。(a)に示すように順バイアスでは、印加電圧が耐压の1/10程度の時は、矢印で示すように空乏層36がエミッタ電極28から耐压構造の中間部分までの間を P^+ 分離領域31側に向かつて広がる。よってこのときフィールドドリミット電極27aは空乏層36の伸びる方向に対して順方向となり、空乏層36を広げる働きをする。よって、フィールドドリミット層25のPN接合近傍の電界強度は緩和される。順バイアスでの印加電圧が増加すると、空乏層36は耐压構造の中間の中間電界緩和領域33を越えて更に P^+ 分離領域31側へ広がる。このときフィールドドリミット電極27bは、空乏層36の伸びる方向に対して逆方向となるため、空乏層36の広がりを抑制する働きをする。よって、印加電圧の増加に対して、空乏層36の先端は伸びが鈍化し、 P^+ 分離領域31まで伸びずに止まるようになる。一方、(b)に示すように逆バイアスでは、印加電圧が耐压の1/10程度の時は、矢印で示すように空乏層36が P^+ 分離領域31側から耐压構造の中間部分までの間をエミッタ電極28側に向かつて広がる。このときフィールドドリミット電極27bは、空乏層36の伸びる方向に対して順方向となり、空乏層36を広げる働きをする。よって、 P^+ 分離領域31側のフィールドドリミット層25のPN接合近傍の電界強度は緩和される。逆バイアスでの印加電圧が更に増加すると、空乏層36は耐压構造の中間からエミッタ電極28側へ広がる。このときフィールドドリミット電極27aは、空乏層36の伸びる方向と逆方向となるため、空乏層36の広がりを抑制する働きをする。よって、印加電圧の増加に対して、空乏層36の先端は伸びが鈍化し、活性部まで伸びずに止まるようになる。しかしながら前述のように、逆バイアスでは空乏層36が P^+ 分離領域31側からの横方向以外にも裏面からの縦方向からも伸びるため、印加電圧が耐压近くになるとNドリフト層が空乏化するために必要な電荷(電子)が少なくなり、より空乏層36が伸びやすくなる。このため、フィールドドリミット電極27とフィールドドリミット層25の間隔設定が重要となる。この間隔設定について説明する。

【0054】

エミッタ電極とコレクタ電極の電位が等しいときにフィールドドリミット層からNドリフト層に広がるビルトイン空乏層幅よりもフィールドドリミット層間の距離が狭いと、フィールドドリミット層の間で空乏化していない中性領域が無くなっている。よって、逆バイアスの印加電圧が高いときの空乏層端でのフィールドドリミット層の間隔が狭いと空乏層はつながり、エミッタ側に接してリーチフローとなり、漏れ電流が増加する。

示す部分断面図であり、(a)は酸化膜の幅WGが広い場合であり、(b)は酸化膜の幅WGが狭い場合である。図12において、25はフィールドリミット層、26は酸化膜、34はNドリフト層、36aは空乏層である。ボロンのイオン注入によってP型のフィールドリミット層25を形成する場合に、マスクとしての酸化膜26の幅をWGとすると、熱拡散によってフィールドリミット層25の拡散深さが X_j の時に、横方向への拡散は酸化膜26の端から $0.8X_j$ となる。よって、フィールドリミット層間の間隔は、 $0.8X_j + 0.8X_j$ の $1.6X_j$ に、印加電圧0Vでのビルトイン空乏層 $W_{bi} + W_{bi}$ の $2W_{bi}$ を加えた値よりも広くすればよい。これを示したのが式(18)である。

【0055】

$$WG \geq 1.6X_j + 2W_{bi} \quad \cdots \text{式(18)}$$

(ただしWG:フィールドリミット層の間の酸化膜の幅、 X_j :フィールドリミット層の拡散深さ、 W_{bi} :エミッタ電極とコレクタ電極の電位が等しいときにフィールドリミット層からNドリフト層に拡がるビルトイン空乏層幅)図12(a)は $WG \geq 1.6X_j + 2W_{bi}$ の場合であり、(b)は $WG \leq 1.6X_j + 2W_{bi}$ の場合である。また、別の見方をすると、フィールドリミット層間の距離 W_g によっても同様に定義することができ、その場合には、 $W_g \geq 2W_{bi}$ とすればよい。

図13は、図12のフィールドリミット層間のセロハイアスでの中性領域(ビルトイン空乏層のつながらない)の幅 L_{Ni} (ただし $L_{Ni} = W_{Gi} - (1.6X_j + 2W_{bi})$)、 i : i 番目のフィールドリミット層、 W_{Gi} : $i-1$ から i 番目のフィールドリミット層間の酸化膜(絶縁膜)の幅、 n :フィールドリミット層の全個数)の合計値と、逆耐圧との関係を示す特性図である。合計値がNドリフト層厚 W_{drift} よりも薄くなると、平面接合の理想逆耐圧値よりも急激に減少することがわかった。前述のように、フィールドリミット層間はビルトイン空乏層が繋がっていないこと。すなわち中性領域 L_{Ni} が残っていることが重要である。印加電圧が増加すると、この中性領域が空乏化していくが、同時に活性部でも縦方向に裏面PN接合から表面に向かって垂直に空乏層が伸びていく。よって、耐圧構造でのセロハイアスでの中性領域の幅の合計が、縦方向のNドリフト層厚よりも小さいと、縦方向の空乏層がエミッタ層に達するより低い印加電圧で、耐圧構造での空乏層はエミッタ電極に達する、すなわちリーチスルーしてしまう。このため、耐圧が減少する。よって、

【0056】

【数18】

$$\sum_{i=1}^n L_{Ni} \geq W_{drift} \quad \cdots \text{式(19)}$$

ただし $\sum_{i=1}^n L_{Ni}$:耐圧構造でのセロハイアスでの中性領域の幅の合計値

$$L_{Ni} = W_{Gi} - (1.6X_j + 2W_{bi})$$

i : i 番目フィールドリミット層

W_{Gi} : $i-1$ から i 番目のフィールドリミット層間の絶縁膜の幅

n :フィールドリミット層の全個数

であることが望ましい。

【実施例4】

【0057】

口部 L_{OP} の関係を示した部分断面図である。素子表面にはパッシベーション層37が設けられているが、湿中環境においてマイナスイオンがフィールドリミット電極27aの形成されていない酸化膜26表面に侵入することがある。このようにマイナスイオンが侵入した場合に、酸化膜26下の N^- ドリフト層34表面にプラスの電荷が誘起されることで電位分布の不均一な部分が生じ、耐圧が低下する。そこで、隣り合うフィールドリミット電極27aとフィールドリミット層25との開口部 L_{OP} の幅を変えてマイナスイオンの侵入を想定したシミュレーションを行い、その結果を表1に示す。

【0058】

【表1】

	Σ			$\Sigma L_{OP} / \Sigma L_{Ni}$	エッジ長	FBV		RBV	
	W_{Gi}	L_{Ni}	L_{OP}			0	$-10^{12}/cm^2 \times q$ (電子の電荷素量)	0	$-10^{12}/cm^2 \times q$ (電子の電荷素量)
試料1	354.0	237.0	200.2	0.845	552.0	1402	806	1312	871
試料2	390.0	273.0	205.0	0.751	567.0	1426	981	1321	1022
試料3	765.0	290.0	177.6	0.612	1302.0	1450	1433	1356	1317
試料4	554.0	284.0	111.0	0.391	884.0	1447	1360	1334	1308
試料5	509.0	275.0	96.2	0.350	793.0	1435	1305	1308	1296

【0059】

表1において、1200V逆阻止型IGBTに対して耐圧構造の寸法を変えて順耐圧(FBV)と逆耐圧(RBV)をシミュレーションした。 ΣW_{Gi} はフィールドリミット層間の距離の合計値、 ΣL_{Ni} は耐圧構造のゼロバイアスでの中性領域の幅の合計値、 ΣL_{OP} はフィールドリミット電極の端部から隣り合うフィールドリミット層の端部までの距離の合計値、エッジ長は耐圧構造の最内周の酸化膜の内周端から最外周の酸化膜の外周端までの距離である。 $\Sigma L_{OP} / \Sigma L_{Ni}$ は中性領域の幅に対するフィールドリミット電極の開口率である。即ち、試料1～5について、順耐圧と逆耐圧についてシミュレーションしたところ、いずれも1300V以上の耐圧であった(表1のFBV、RBVの0欄)。これに対して L_{Ni} の部分に $1 \times 10^{12} / cm^2$ の濃度の負の電荷が存在する場合を想定してシミュレーションすると、試料1、2が順耐圧、逆耐圧共に大幅に低下した。そこで、 $\Sigma L_{OP} / \Sigma L_{Ni}$ を0.7以下とするのが望ましい。図15は比較例で、空乏層がエミッタ主接合にリーチスルーした場合の概略部分断面図であり、(a)はネットドーピングを示し、(b)は電子濃度を示し、(c)は等電位線を示し、(d)は正孔電流密度を示している。図15において、向って左側がエミッタ電極の外端部分であり、この図はエミッタ電極近傍のみ(P^+ 分離領域部分は図示せず)を示している。(b)の電子濃度で示すように約850Vで空乏層がエミッタ主接合にリーチスルーしている。また、(d)の正孔電流密度で示すように逆漏れ電流は表面エッジ構造部分を流れている。これは前記表1の試料1、試料2に相当する。

図16は、前記表1の試料3～5に相当し、隣り合うフィールドリミット電極とフィールドリミット層との開口部 L_{OP} を $7 \mu m$ とした場合の耐圧構造部分の概略部分断面図であり、(a)はネットドーピングを示し、(b)は電子濃度を示し、(c)は等電位線を示し、(d)は正孔電流密度を示している。図16も図15と同じくエミッタ電極近傍のみ(P^+ 分離領域部分は図示せず)を示している。(b)の電子濃度で示すように空乏層はエミッタ主接合から横方向に十分な距離を保って離れている。また、(d)の正孔電流密度で示すように逆漏れ電流は活性部(エミッタ電極下)を流れるので安定特性であるといえる。

【実施例5】

【0060】

濃度で n^+ エミッタ領域よりも低不純物濃度であるN型の高濃度層を形成する場合の実施例である。このN型の高濃度層によって逆バイアス時の空乏層の伸びを更に抑制することができる。耐圧構造の前記中性領域部分に、例えばリンをドーパース量 $1E12 (10^{12}) / \text{cm}^2$ 、加速電圧45keVでイオン注入し、1150℃で5時間のドライブインをして前記N型の高濃度層を形成する。図17は耐圧構造部分のエミッタ電極側と P^+ 型分離領域側の両方にN型の高濃度層を形成した場合の実施例を示す断面図であり、(a)は耐圧構造部分の断面図であり、(b)はエミッタ電極側の部分拡大断面図である。この実施例では、エミッタ電極側の高濃度層38a (この例ではエミッタ主接合と1本目のフィールドリミット層25の間とその隣に2箇所)と P^+ 型分離領域側の高濃度層38b (この例では P^+ 型分離領域と1本目のフィールドリミット層25の間とその隣に2箇所)がフィールドリミット層25と重ならないように形成されている。このように、高濃度層38a, 38bを形成することで、逆耐圧が向上し、逆バイアス漏れ電流の低減が図れ、かつ順耐圧の低下が5%程度に抑えることができる。37は表面を保護するためのパッシベーション層である。なお、前記N型の高濃度層を全てのフィールドリミット層25間に形成してもよい。

【0061】

図18～図20は、耐圧構造部分の P^+ 型分離領域側にN型の高濃度層を形成した場合の実施例を示す断面図である。図18は耐圧構造部分を簡略化して示した断面図であり、図19はN型の高濃度層を形成する前の耐圧構造部分を示した詳細な断面図であり、図20は耐圧構造部分の概略部分断面図であり、(a)はネットドーピングを示し、(b)は電子濃度を示し、(c)は等電位線を示し、(d)は正孔電流密度を示している。なお、図19のみ左右方向が反転して示されている。図18では、 P^+ 型分離領域31に接するチャンネルストップ電極21の下の部分から中間電界緩和領域33にかけてN型の高濃度層38cが形成されている。この高濃度層38cにより、逆バイアス時に0から耐圧値の半分(約600V)まで、空乏層の拡がりが増加される。その結果、N型の高濃度層38cを形成しない場合よりも、空乏層がエミッタ主接合へリーチスルーすることを抑制でき、逆耐圧が1250Vから1350Vへ100V増加させることができる。一方、順耐圧については、空乏層が伸びるときはエミッタ主接合側に高濃度層38cがないので、耐圧への影響はない。

【0062】

図21は、図18の構成にて高濃度層のリンドーパース量を変えた場合の逆耐圧値に対する依存性を示す図で、対応する表面濃度も記している。このようにドーパース量が $1E12 (10^{12}) \text{ atoms/cm}^2$ 以上 (=表面濃度 $1E17 (10^{17}) \text{ atoms/cm}^3$ 以上) で、逆方向耐圧が劣化していく。これは、逆バイアスにおける空乏層の抑制が強く、高濃度層と P フィールドリミット層での電界強度が高くなるためである。このため、リンのドーパース量が $1E12 (10^{12}) \text{ atoms/cm}^2$ 以下、対応する表面濃度が $1E17 (10^{17}) \text{ atoms/cm}^3$ 以下であることが望ましい。なお、図22のように、例えば耐圧構造のエミッタ電極側半分程度にリンのドーパース量を $10^{12} \text{ atoms/cm}^2$ 以下でイオン注入してN型の高濃度層を形成しても、同様の効果が得られる。本発明のようにすれば、逆バイアスでも空乏層がリーチスルーしない耐圧構造が得られる。これらのように、順耐圧と逆耐圧のどちらを高く選定するかによって、N型の高濃度層の形成箇所を決定すればよい。

【0063】

図23は、THB (Thermal Humid Biased) 試験における、逆耐圧値の長時間依存性を示す特性図である。THB試験は、本発明の逆阻止IGBTチップを、2in1モジュール(2つのチップを直列に接続し、1つのモジュールとしたもの)に組み込み、下アーム側チップのエミッタ電極を該チップのコレクタ電極よりも高い電圧、すなわち逆バイアスに960Vを印加する。このときモジュールは85%の湿中雰囲気、温度は125℃である。従来の抵抗性膜の耐圧構造は1000時間で耐圧が低下するのに対して、本発明品は3000時間以上の5000時間でも安定した逆耐圧を示している。このように、長期信頼性においても安定した逆耐圧を示す耐圧構造を提供することができ

【産業上の利用可能性】

【0064】

このような逆阻止型 IGBT を提供することにより、直列に接続するダイオードを用いることなくマトリクスコンバータを構成することができる。

【図面の簡単な説明】

【0065】

【図1】本発明の実施例である逆阻止型半導体装置の模式的な要部断面図

【図2】本発明の実施例における分離領域と活性部との距離 W と、ダイオード動作時の逆回復電流との関係を示した特性図

【図3】逆漏れ電流 $R_{I_{CES}}$ の電子線照射量依存性を示す図

【図4】本発明の実施例の 600 V 逆阻止型 IGBT に逆バイアスを 800 V 印加したときの等電位線の分布を示した図

【図5】相補誤差関数を示した図

【図6】本発明での逆阻止型 IGBT の逆回復の動作を示す特性図

【図7】逆漏れ電流 $R_{I_{CES}}$ の電子線照射量依存性を示す図

【図8】オン電圧の電子線照射量依存性を示す図

【図9】第3の実施例を示す耐压構造部分の斜視図

【図10】第3の実施例を示す耐压構造部分の断面図であり、(a)は耐压構造部分全体の断面図、(b)～(d)は(a)のY部分の異なる例を示す部分断面図

【図11】順バイアスと逆バイアスでの空乏層の伸び方を示す耐压構造部分の断面図であり、(a)は順バイアス時の断面図、(b)は逆バイアス時の断面図

【図12】フィールドリミット層間の空乏層の伸びを示す部分断面図であり、(a)は幅 WG が広い場合の断面図、(b)は幅 WG が狭い場合の断面図

【図13】図11のフィールドリミット層間のセロバイアスでの中性領域の幅 L_{Ni} の合計値と、逆耐压との関係を示す特性図

【図14】隣り合うフィールドリミット電極とフィールドリミット層との開口部 L_{op} の関係を示した部分断面図

【図15】比較例で、空乏層がエミッタ主接合にリーチスルーした場合の概略部分断面図であり、(a)はネットドーピングを示し、(b)は電子濃度を示し、(c)は等電位線を示し、(d)は正孔電流密度を示した断面図

【図16】隣り合うフィールドリミット電極とフィールドリミット層との開口部 L_{op} を $7\mu m$ とした場合の耐压構造部分の概略部分断面図であり、(a)はネットドーピングを示し、(b)は電子濃度を示し、(c)は等電位線を示し、(d)は正孔電流密度を示した断面図

【図17】耐压構造部分のエミッタ電極側と P^+ 型分離領域側の両方にN型の高濃度層を形成した場合の実施例を示す断面図であり、(a)は耐压構造部分の断面図であり、(b)はエミッタ電極側の部分拡大断面図

【図18】耐压構造部分を簡略化して示した断面図

【図19】N型の高濃度層を形成する前の耐压構造部分を示した詳細な断面図

【図20】耐压構造部分の概略部分断面図であり、(a)はネットドーピングを示し、(b)は電子濃度を示し、(c)は等電位線を示し、(d)は正孔電流密度を示した断面図

【図21】図17の構成にて高濃度層のリントース量を変えた場合の逆耐压値に対する依存性を示す図

【図22】耐压構造のエミッタ電極側半分程度に高濃度層を形成した構造を示す部分断面図

【図23】THB試験における、逆耐压値の長時間依存性を示す特性図

【図24】従来の逆阻止型 IGBT の要部断面図

【図25】マトリクスコンバータの回路図

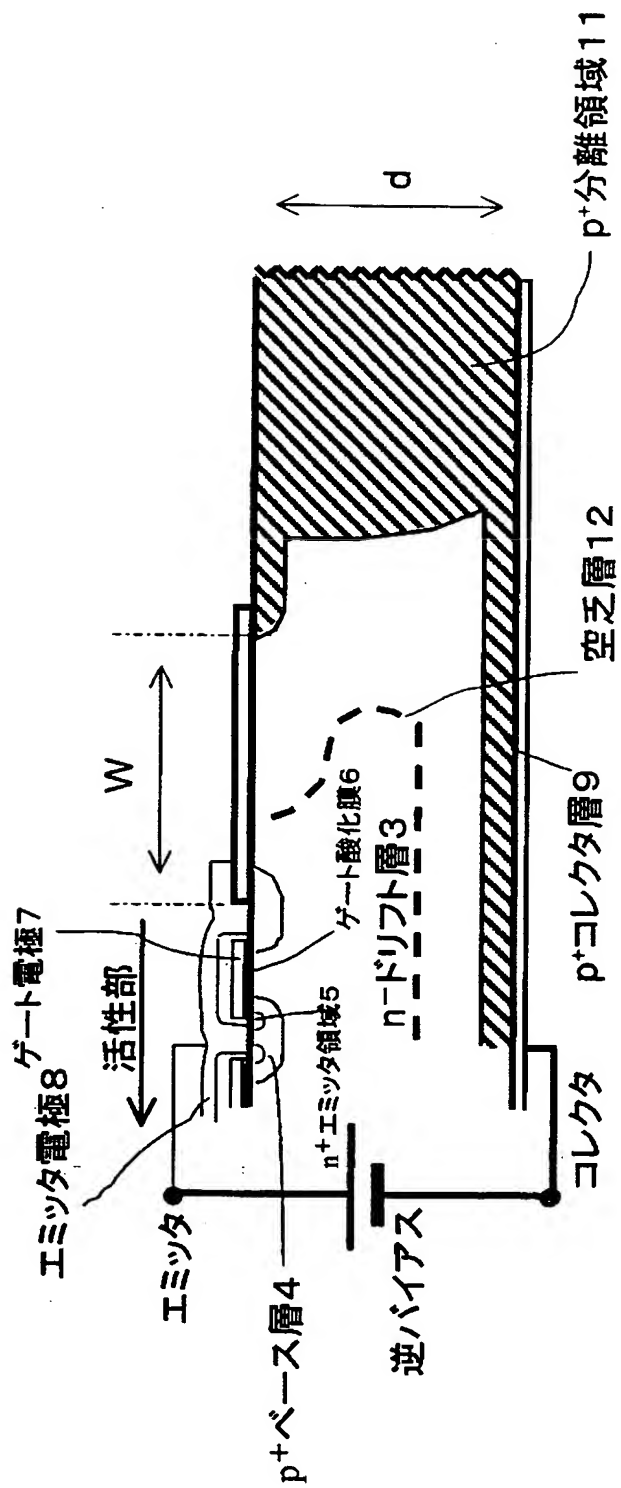
【図 27】従来の IGBT の周辺耐压構造を示した断面図

【符号の説明】

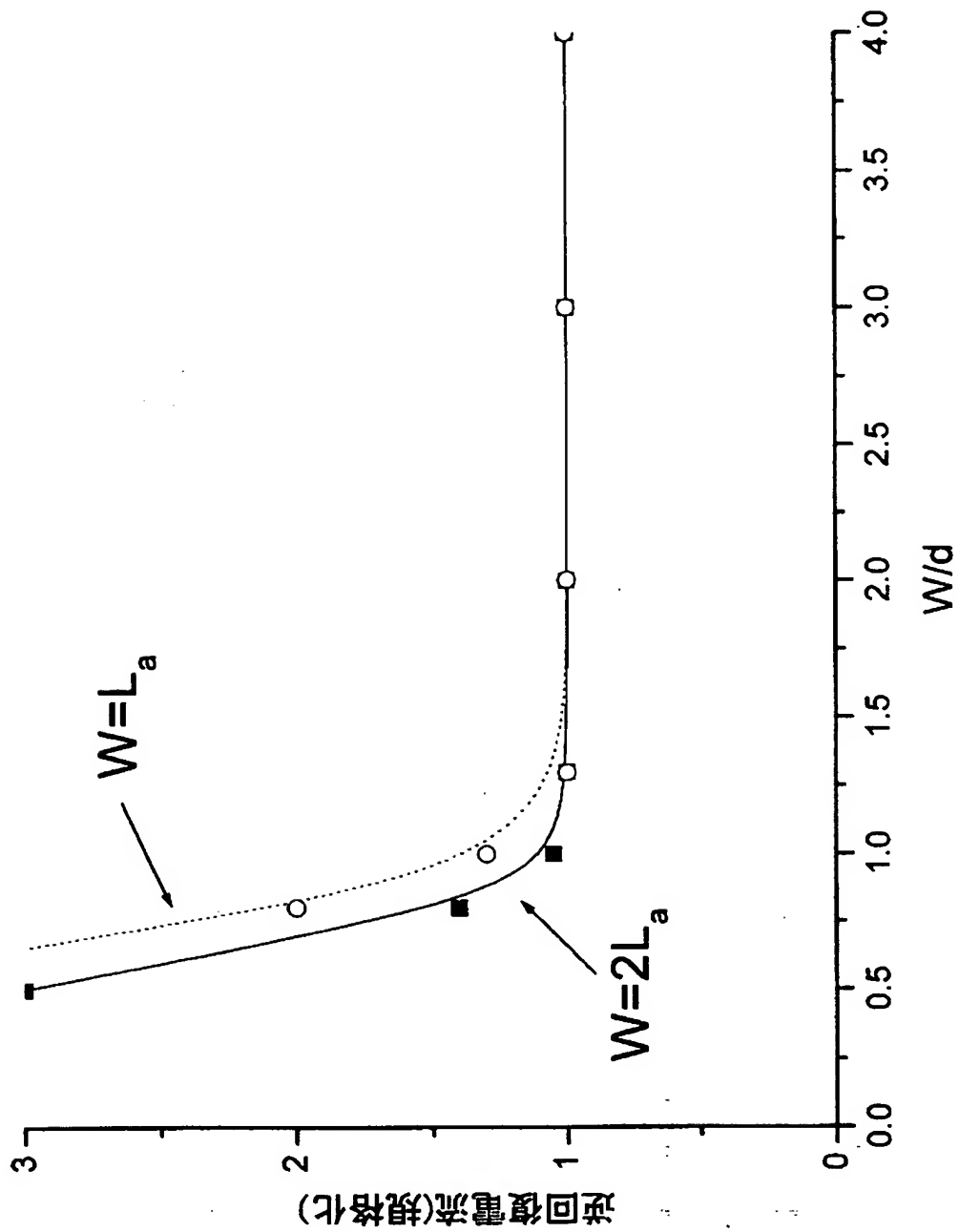
【0066】

1 a, 1 b, 1 c, 1 d	IGBT
2 a, 2 b	ダイオード
3, 23, 34	n ⁻ ドリフト層
4, 24	p ⁺ ベース層
5	n ⁺ エミッタ領域
6	ゲート酸化膜
7	ゲート電極
8, 28	エミッタ電極
9, 29	p ⁺ コレクタ層
10	切断部
11, 31	p ⁺ 分離領域
21	チャネルストップ電極
22	チャネルストップ層
25	フィールドリミット層
26	酸化膜
27, 27 a, 27 b, 27 c	フィールドリミット電極
38 a, 38 b, 38 c	高濃度層
33	中間電界緩和領域

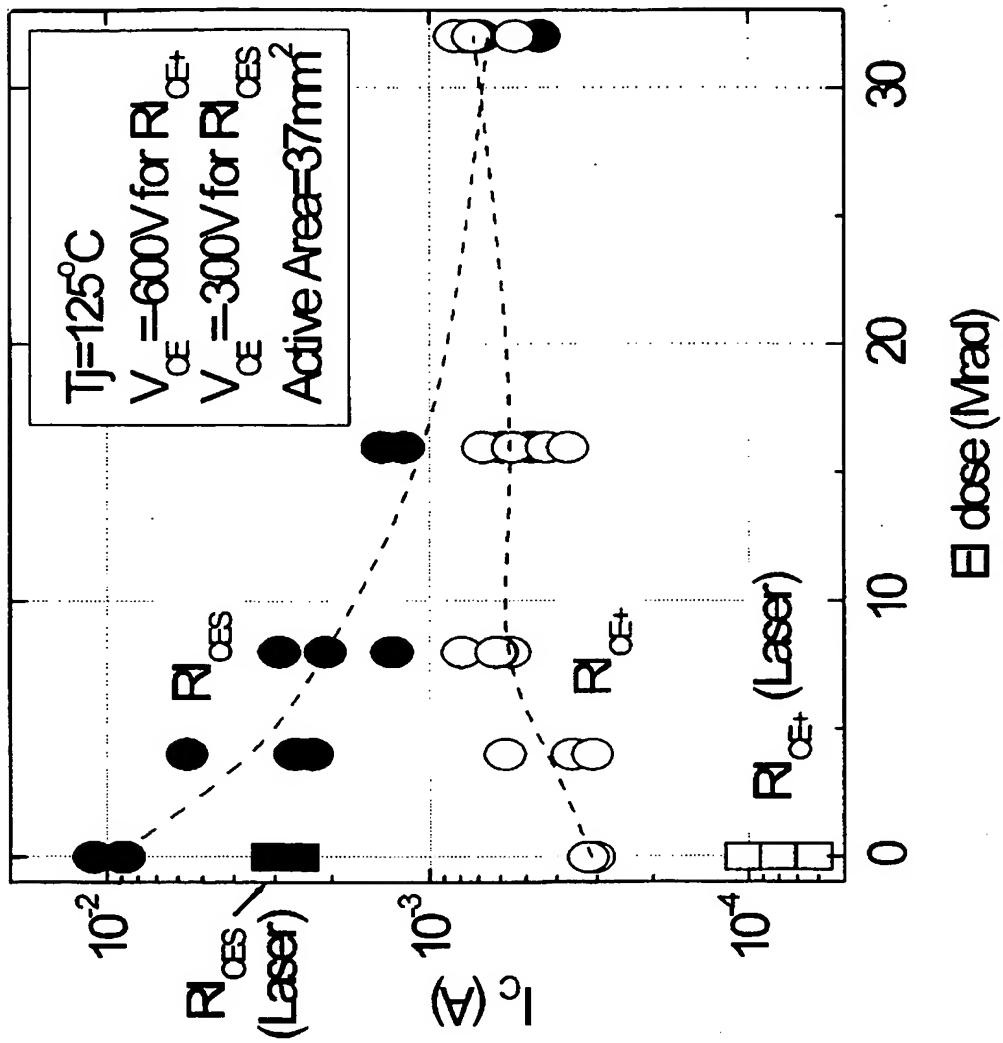
【書類名】 図面
【図1】



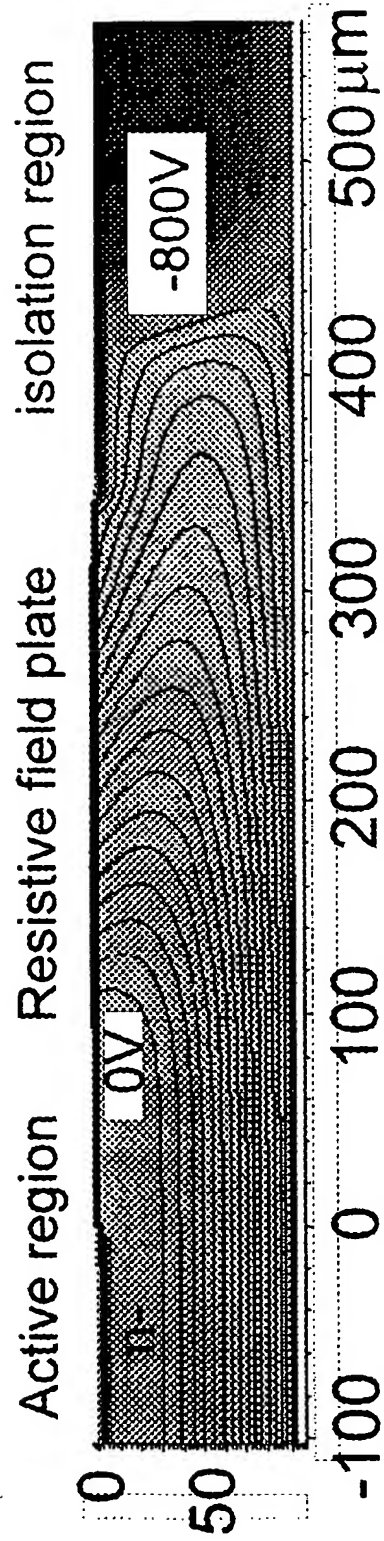
【図 2】



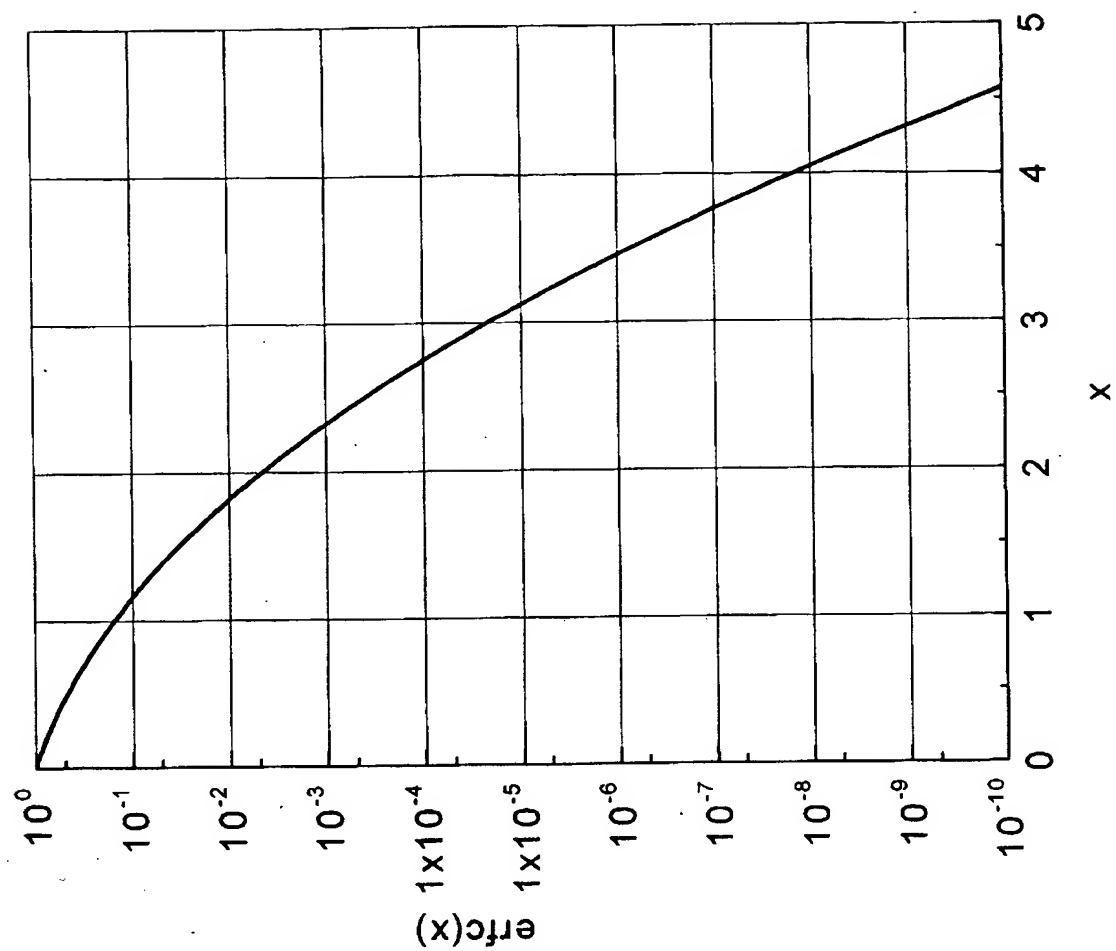
【図 3】



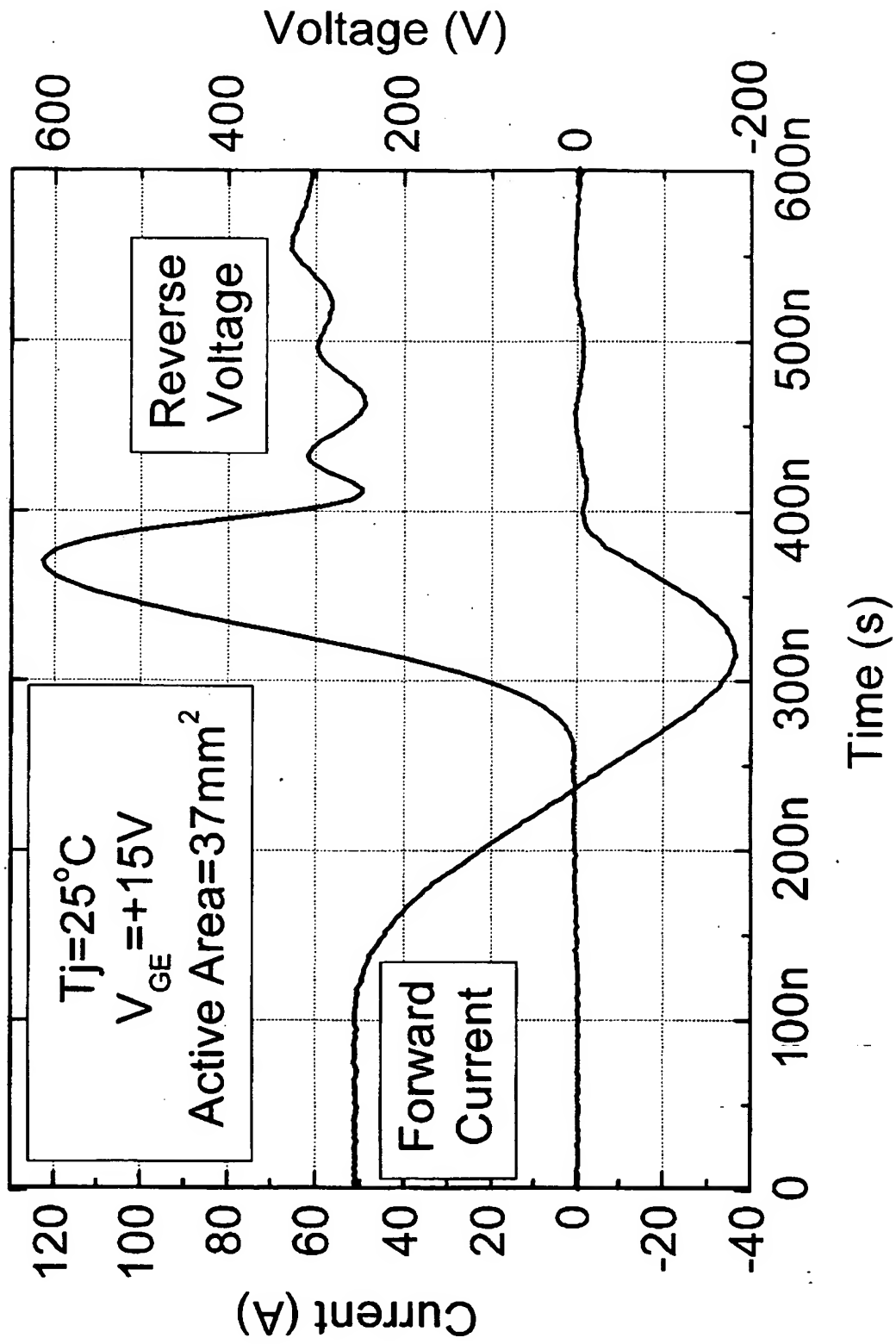
【図 4】



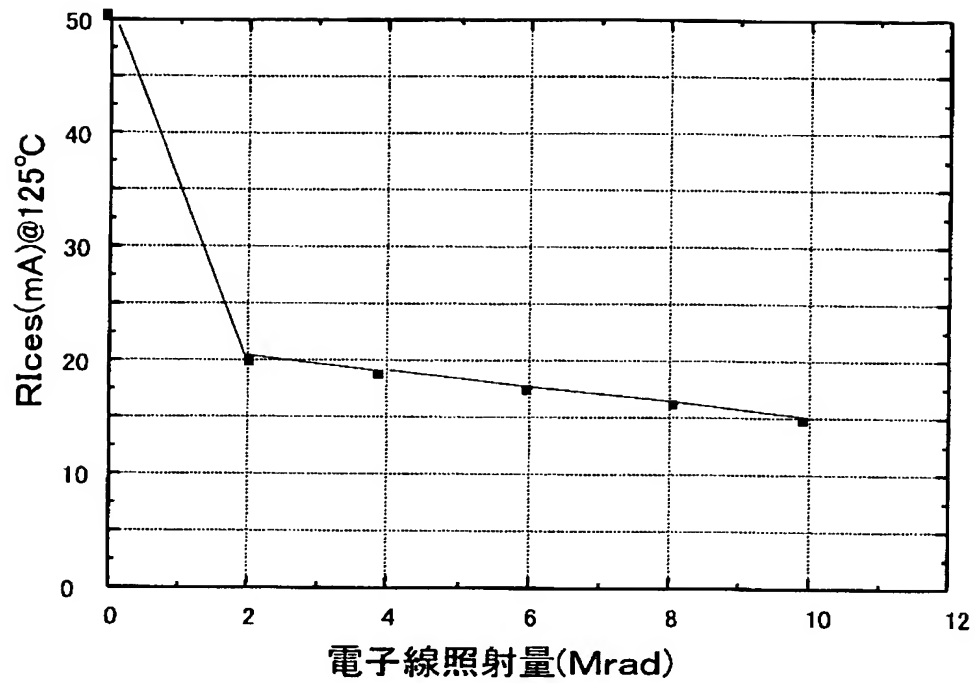
【図 5】



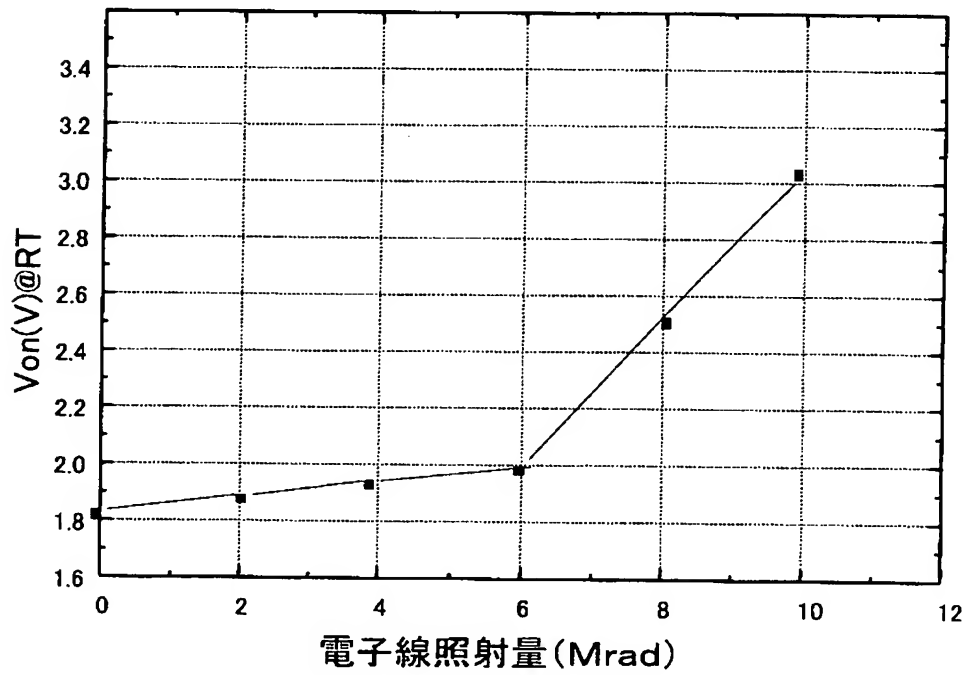
【図 6】



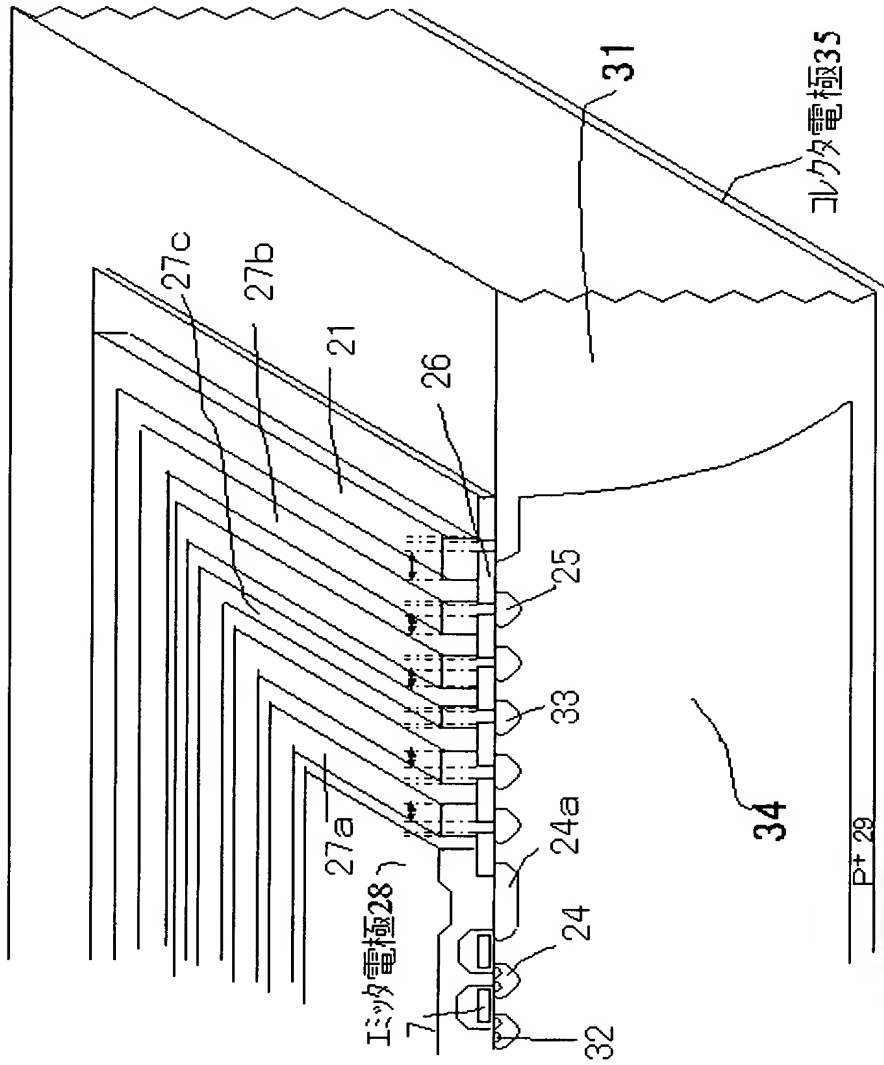
【図 7】



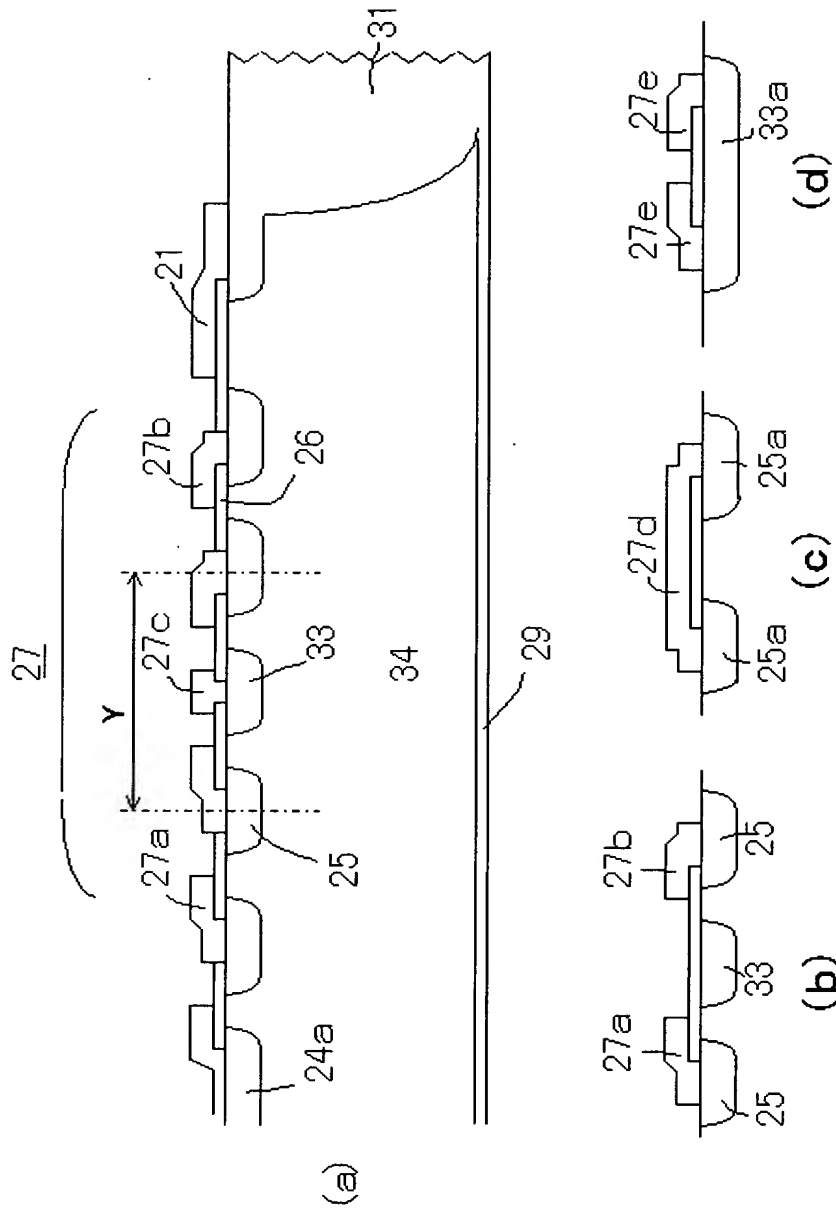
【図 8】



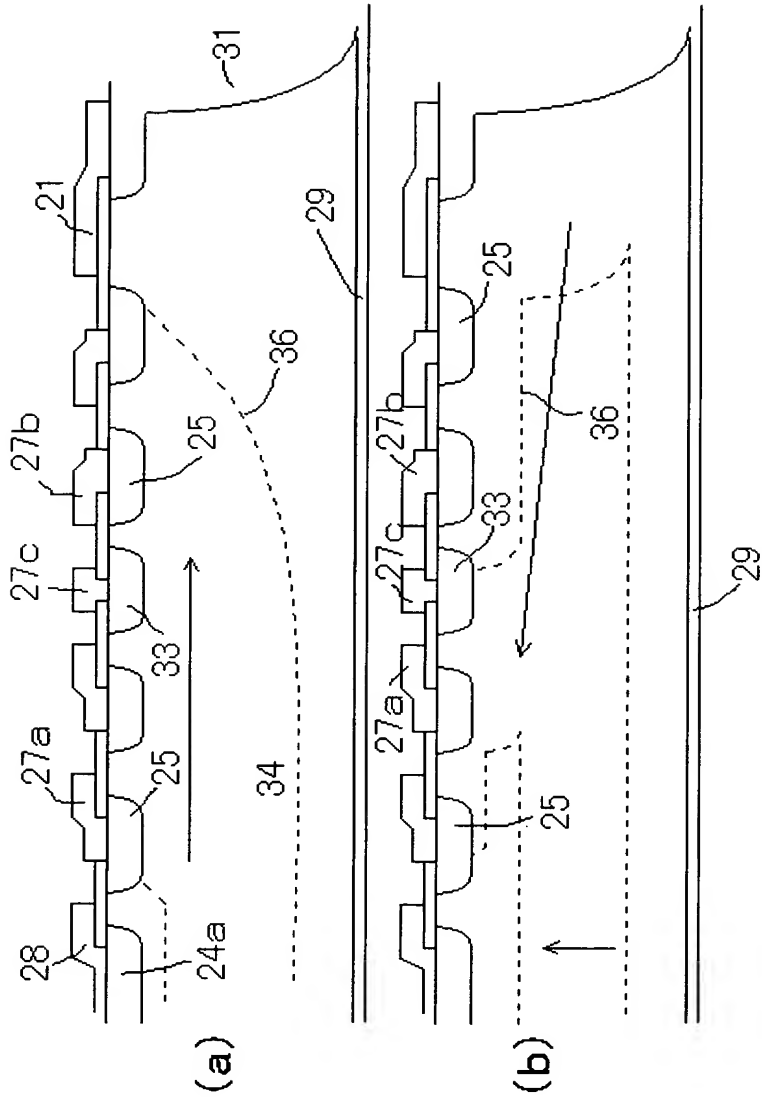
【図 9】



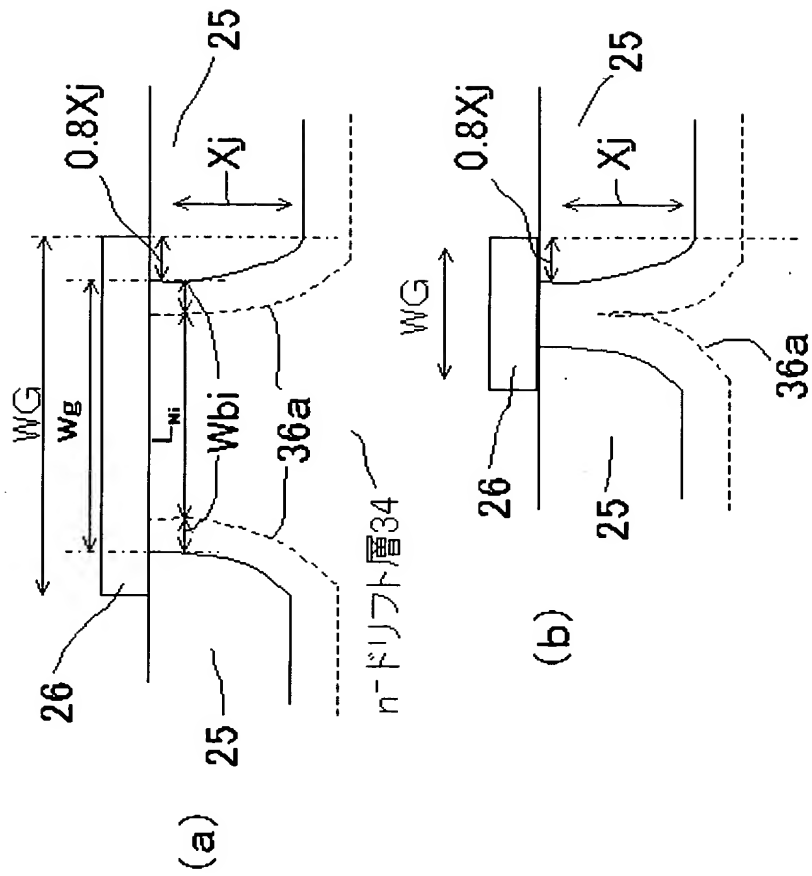
【図 10】



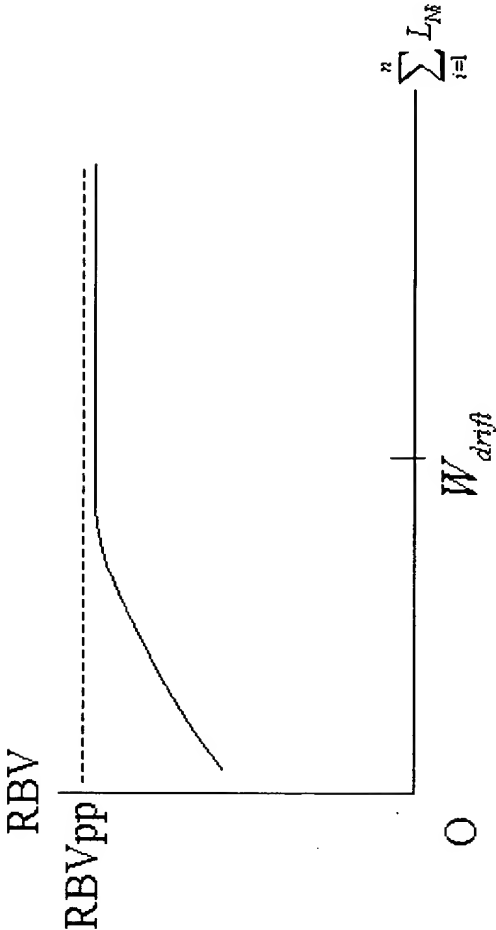
【図 11】



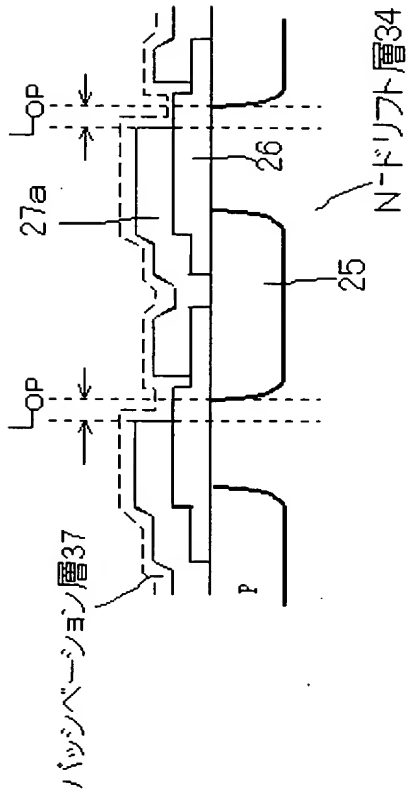
【図 12】



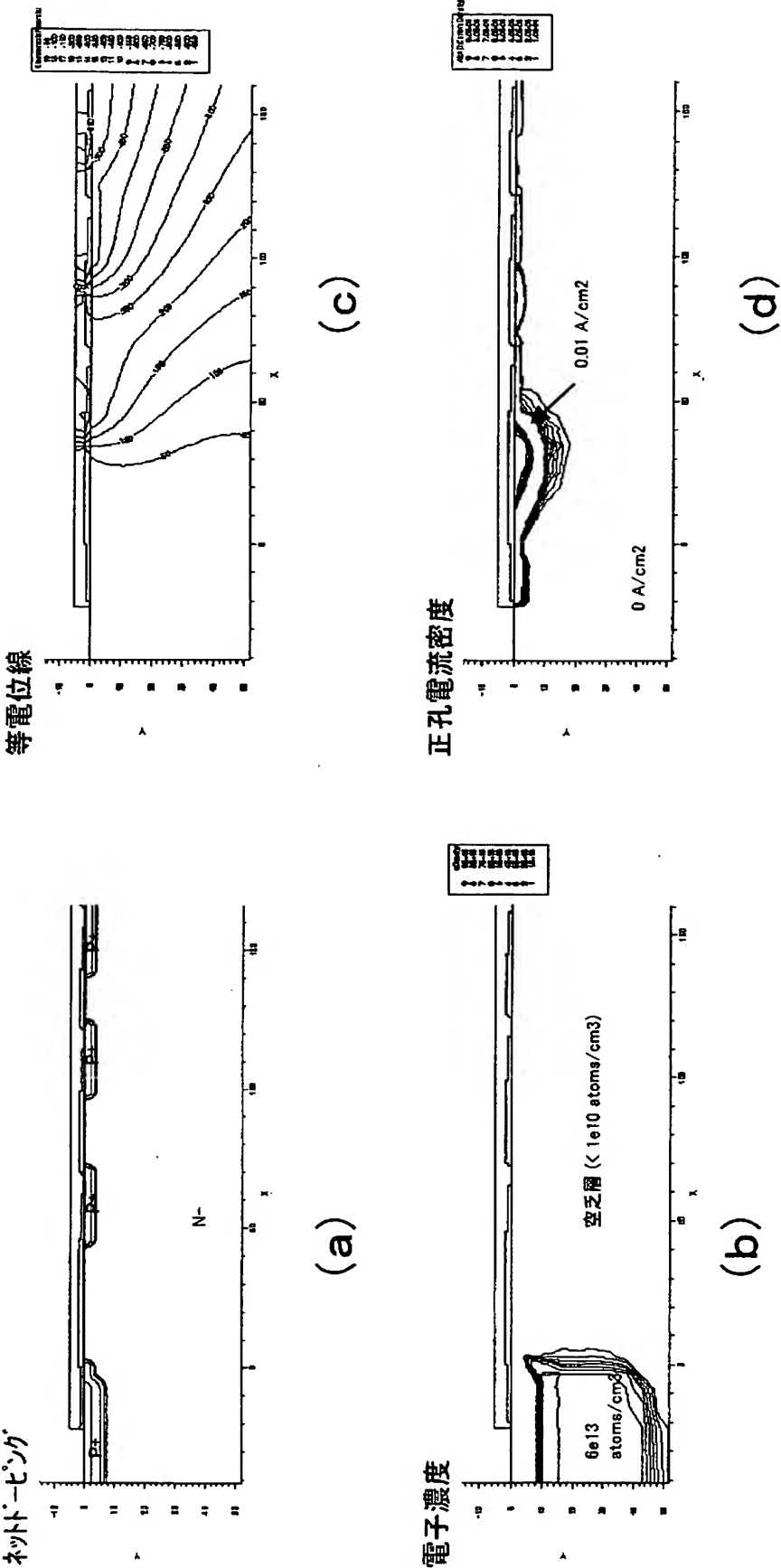
【図 1 3】



【図 14】



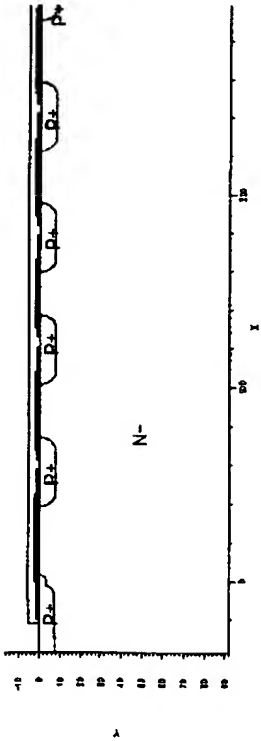
【図 15】



【図 16】

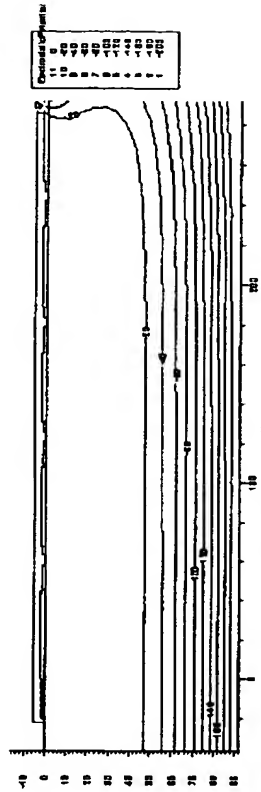
@ RBV=1220V

ネットドローピング



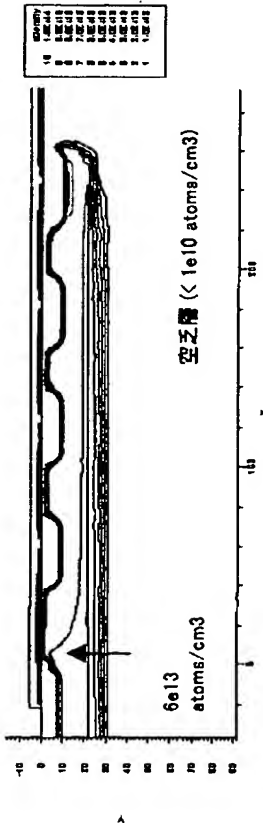
(a)

等電位線



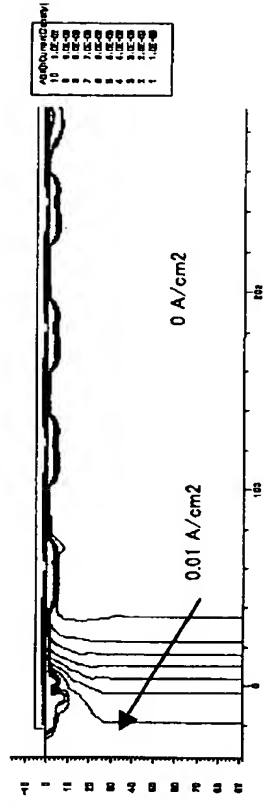
(c)

電子濃度



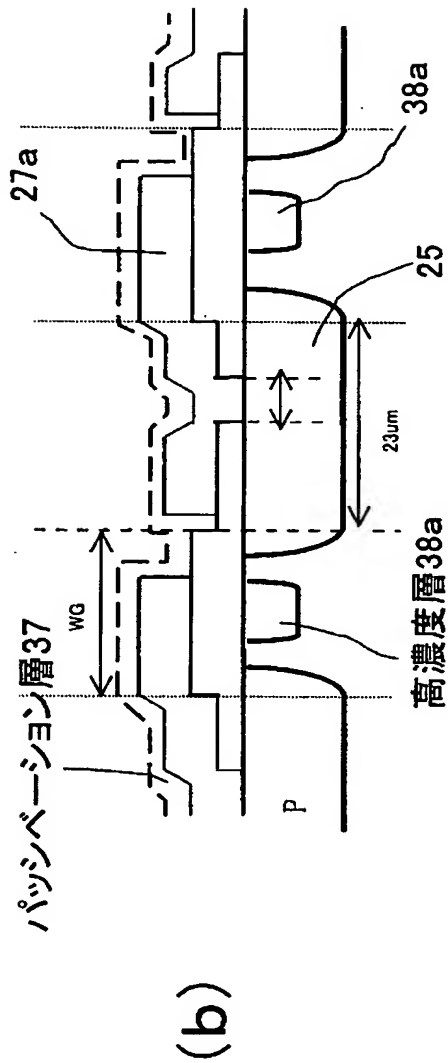
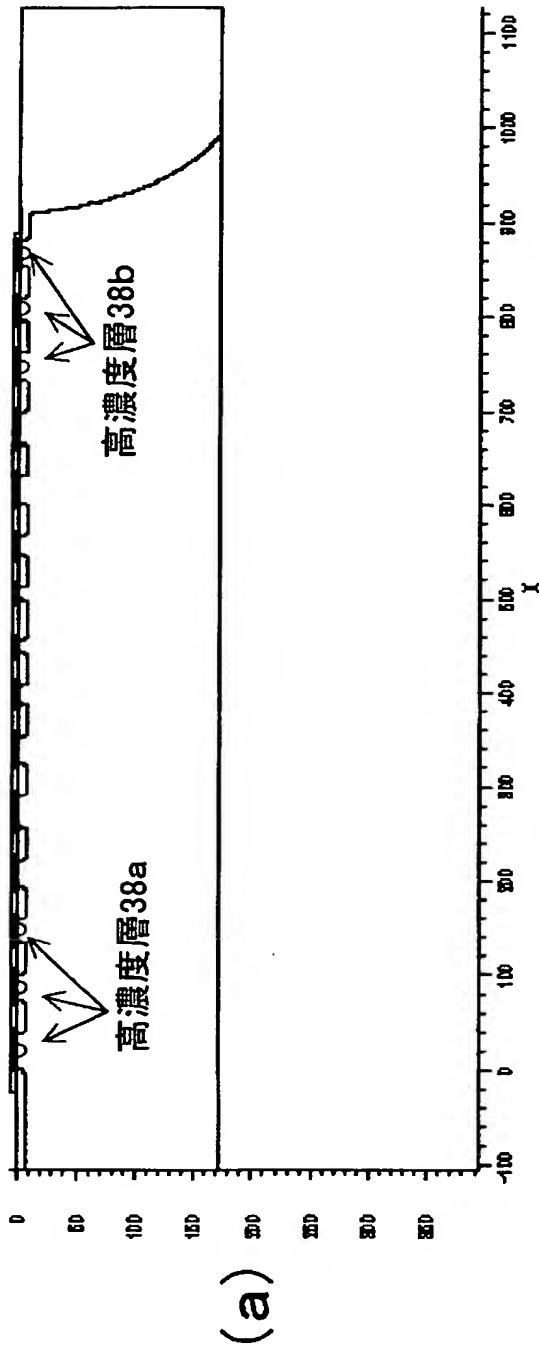
(b)

正孔電流密度

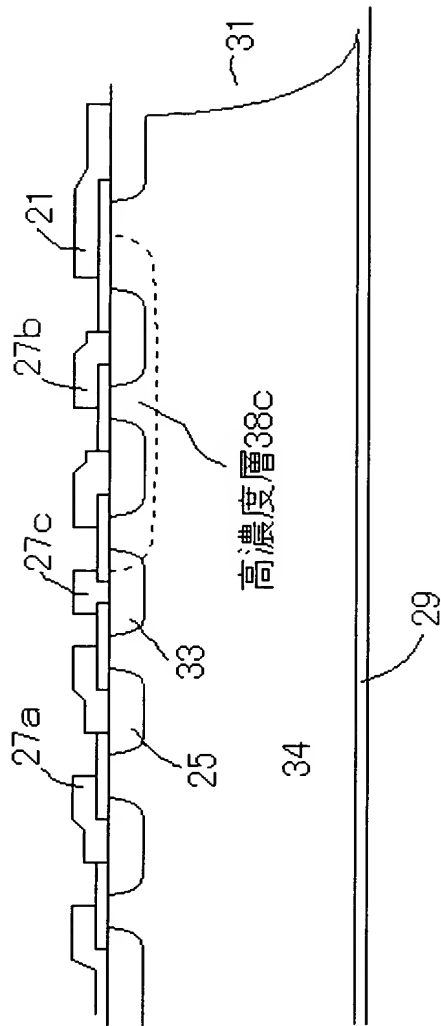


(d)

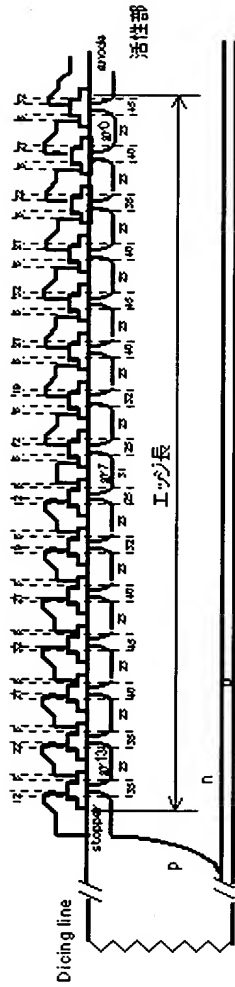
【図 17】



【図 18】



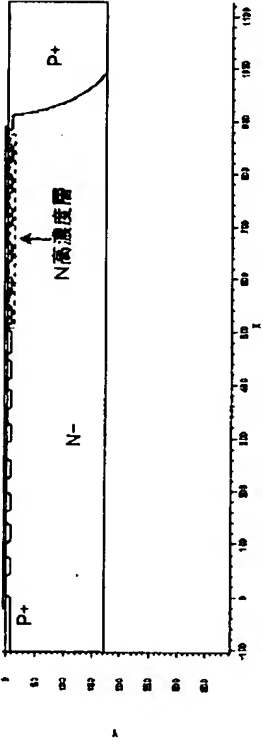
【図 19】



【図 20】

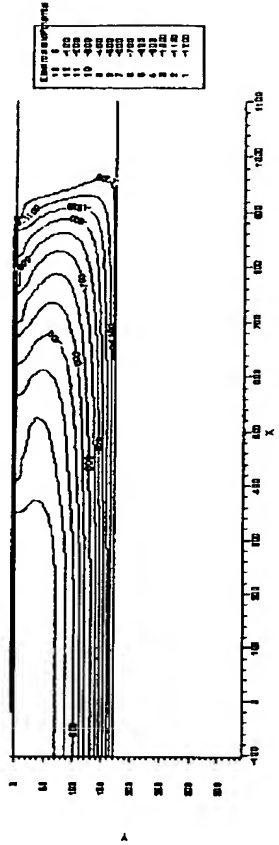
@ RBV=1220V

ネットドーピング



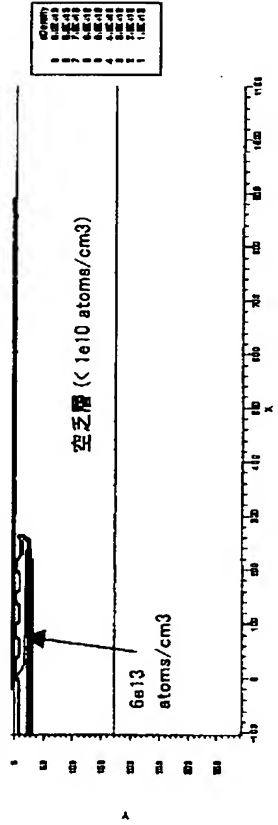
(a)

等電位線



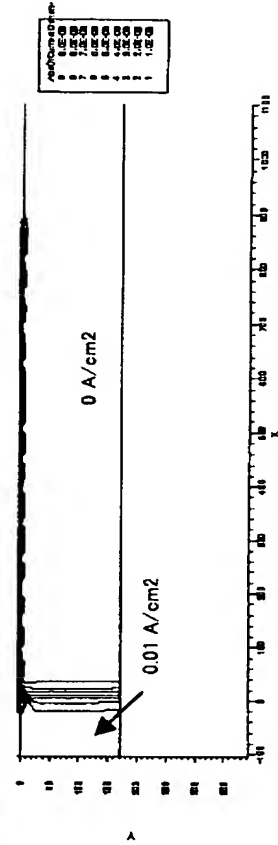
(c)

電子濃度



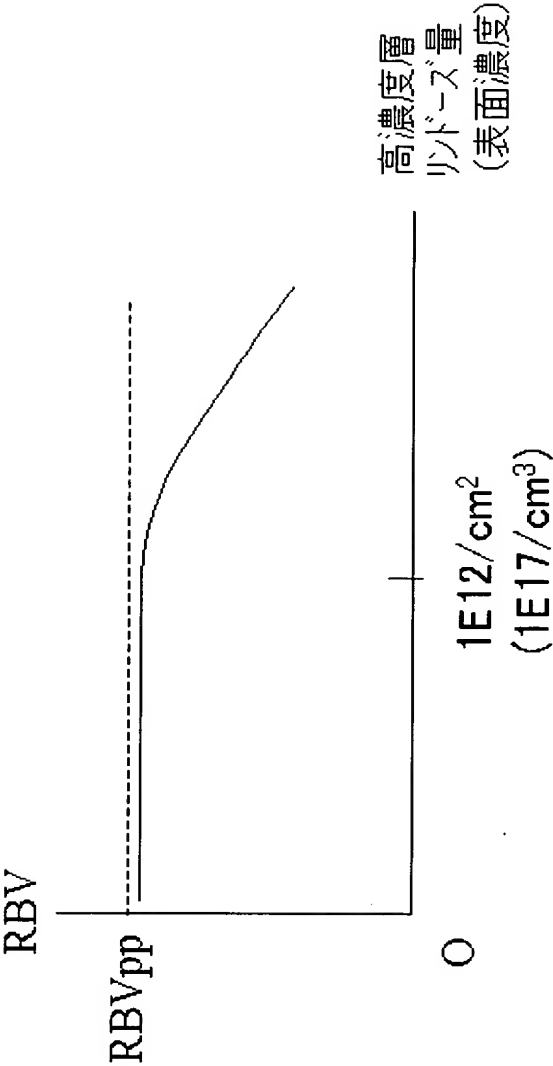
(b)

正孔電流密度

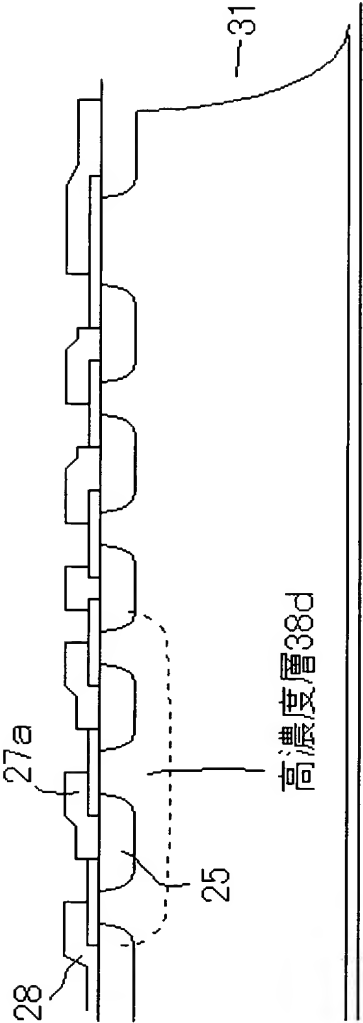


(d)

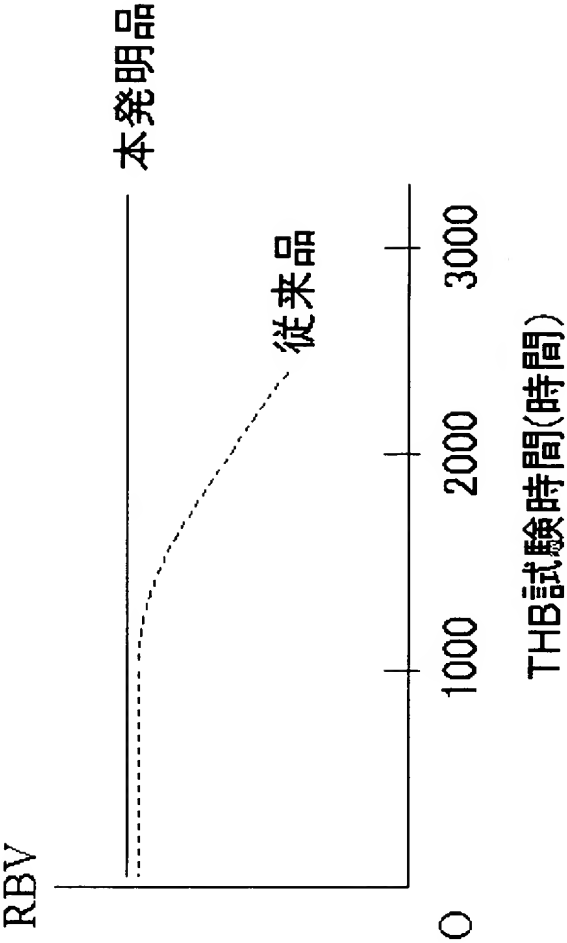
【図 2 1】



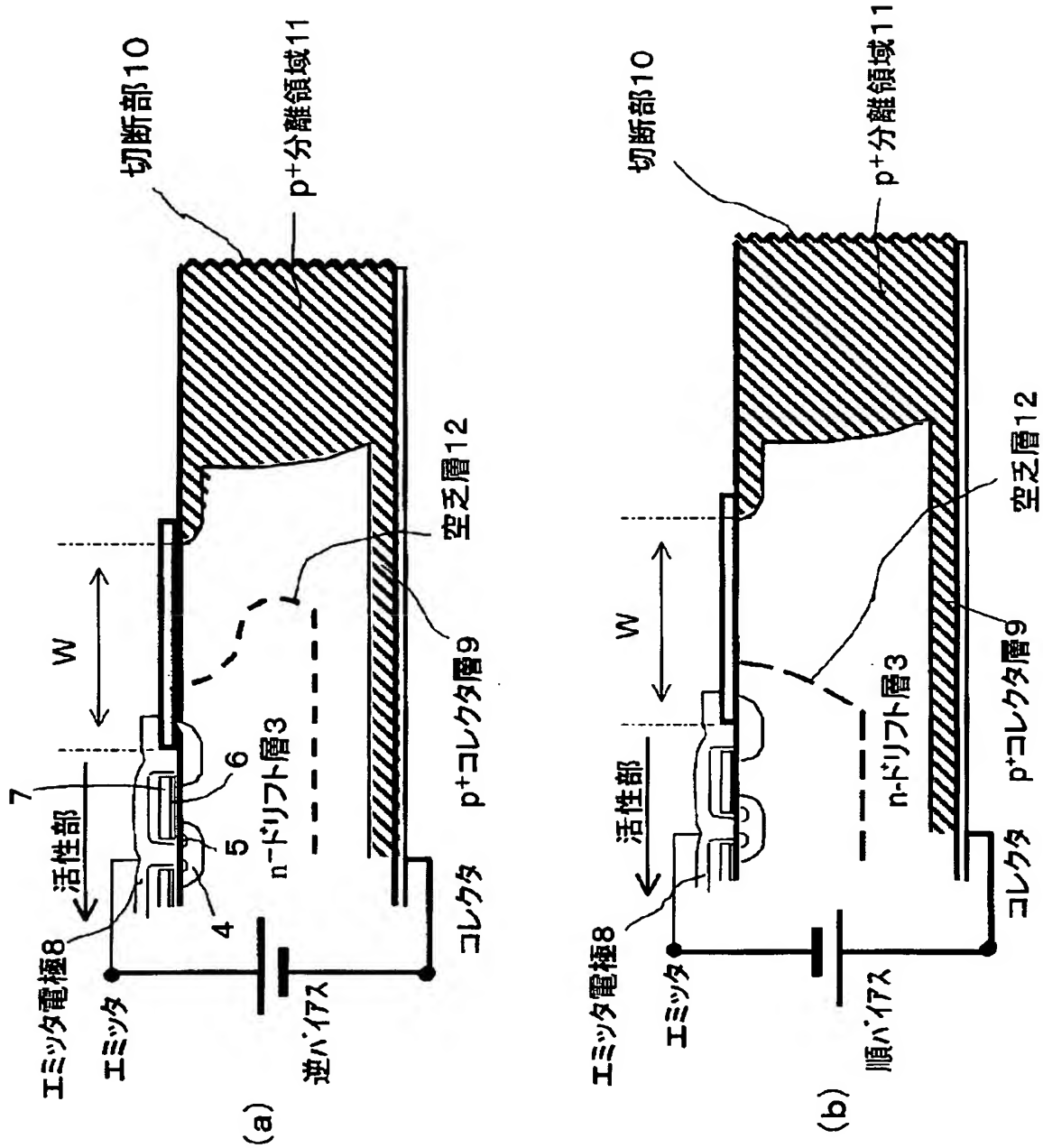
【図 2 2】



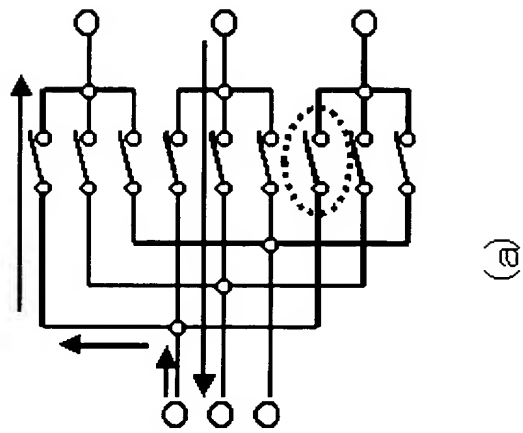
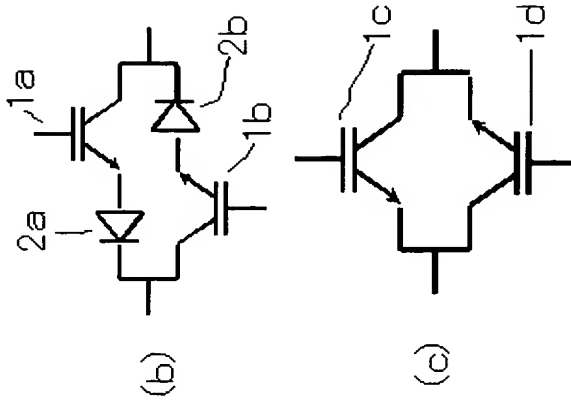
【図 2 3】



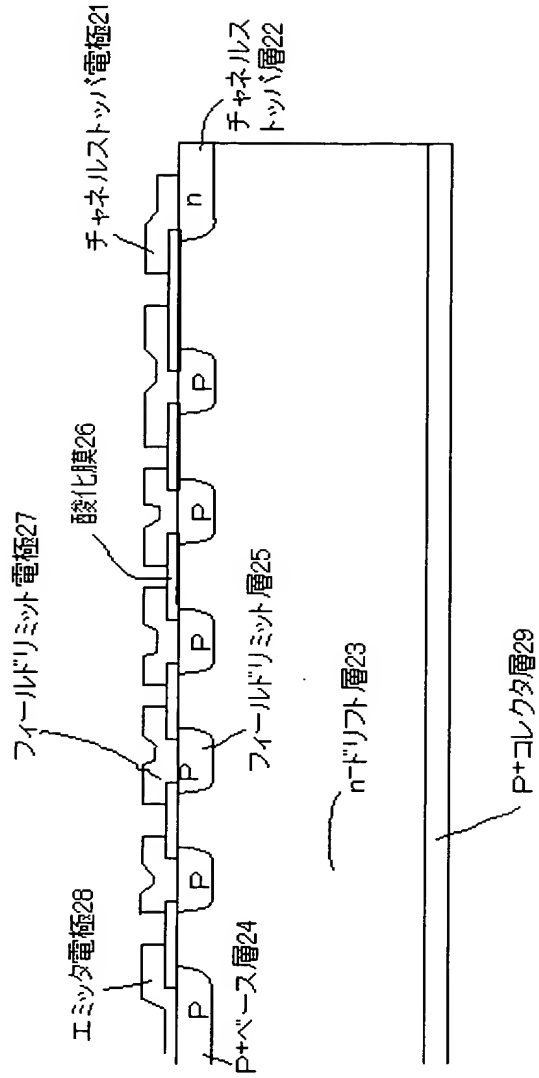
【図 24】



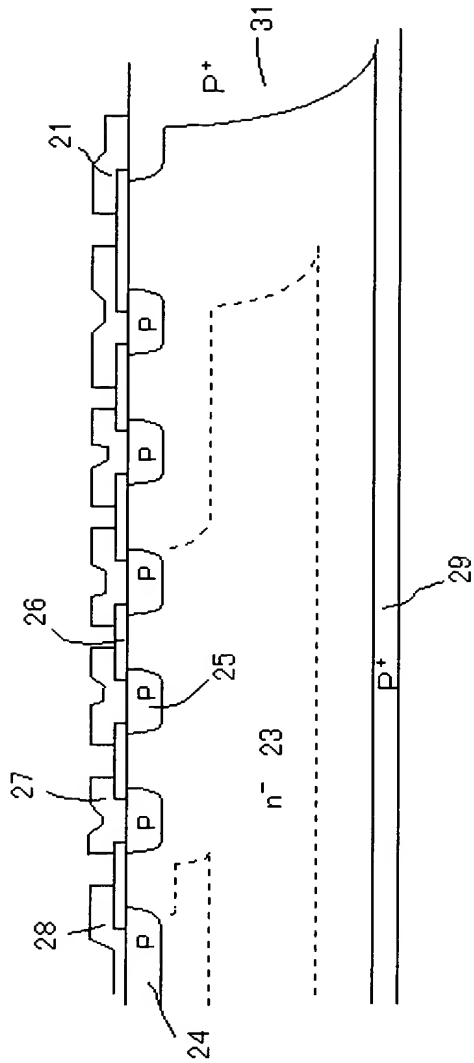
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 分離領域の逆回復ピーク電流への影響をなくし、十分ソフトなリカバリーを示す耐圧構造にすることができ、逆阻止型 IGBT の本質的である、逆漏れ電流の増加を抑え、しかもオン電圧も十分小さい値で抑えることが可能となるようにする。

【解決手段】 n^- ドリフト層 3 の表面に形成された p^+ ベース層 4 と、 p^+ ベース層 4 の表面に形成された n^+ エミッタ領域 5 と、 n^- ドリフト層 3 と n^+ エミッタ領域 5 とに挟まれる p^+ ベース層 4 の表面に被覆されるゲート酸化膜 6 と、ゲート酸化膜 6 を介して被覆されるゲート電極 7 とを含む MOS ゲート構造と、MOS ゲート構造を n^- ドリフト層 3 を介して取り囲み n^- ドリフト層 3 の表裏面をつなぐように形成される p^+ 分離領域 11 と、減厚した n^- ドリフト層 3 の裏面に形成され、裏面に露出する p^+ 分離領域 11 に連結される p^+ コレクタ層 9 とを備え、 p^+ ベース層 4 と接触するエミッタ電極 8 の接触部分の最外端と、 p^+ 分離層 11 の最内端との距離 W が、 n^- ドリフト層 3 の深さ方向の厚さ d よりも大きくする。

【選択図】

図 1

特願 2 0 0 4 - 0 2 7 1 7 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日	2 0 0 3 年 1 0 月 2 日
[変更理由]	名称変更
住 所	神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名	富士電機ホールディングス株式会社